

明 細 書

半導体記憶装置

技術分野

本発明は半導体記憶装置に係り、最小のトランジスタ数で読み出し時における記憶データ破壊を防止し、超高速、超低電圧で動作する半導体記憶装置に関するものである。

背景技術

A S I C (Application Specific Integrated Circuit) などに用いられるカスタム I C では、トランジスタを微細化して、電源電圧を低下させつつ、動作速度を向上させてきた。これらのカスタム I C においては、各種の記憶装置が混載されている。これら混載されている記憶装置においても同様に高速動作及び低電源電圧での動作が求められ、例えばキャッシュメモリ等の用途で、混載されるスタティックランダムアクセスメモリ (S R A M : Static Random Access Memory、以後 S R A M と略称する) においても、同様に高速動作及び低電源電圧での動作が求められる。

従来の S R A M について、図 1 を参照して説明する。図 1 は、キャッシュメモリを構成する従来の S R A M における単一のセル (以後、S R A M セルと呼称する) の回路構成を示す。ワード線信号 W L が低電位の場合、二つの C M O S (Complementary Metal Oxide Semiconductor) インバータがループを形成することで安定にデータが保持可能である。すなわち、一方の C M O S インバータは、データ記憶ノード V 1 を入力として、ノード V 1 に記憶されるデータの反転データをデータ記憶ノード V 2 に出力し、他方の C M O S インバータは、データ記憶ノード V 2 を入力として、ノード V 2 に記憶されるデータの反転データをデータ記憶ノード V 1 に出力している。

しかしながら、ワード線信号 W L がアクセスされて高電位の場合、データ記憶ノード V 1, V 2 とビット線対 B L T, B L N とがアクセストラランジスタを介して導

通することで、データ記憶ノード V_1 , V_2 の低電位が接地電位から上昇してしまい、データを安定に保持することができない。一般に、従来のSRAMセルでは、アクセスされた際のデータ保持の安定度を測る指標としてスタティックノイズマージン (SNM: Static Noise Margin) が用いられる。

すなわち、図2に示されるように、SRAMセルを2個のインバータに分離して、各々のインバータのDC (直流) 特性を求め、一方のインバータのDC特性出力がもう一方のインバータのDC特性入力となるように、二つのDC特性を重ね合わせた際に、バタフライカーブが描かれる。SNMは、このバタフライカーブに内接する最大の正方形の一辺として定義される。

このSNMについては、文献1 (A. J. Bhavnagarwala "The impact of intrinsic device fluctuations on CMOS SRAM cell stability," IEEE Journal of Solid State Circuit, Vol. 36, No. 4, Apr. 2001 (図5、図10)) において将来予測が行われている。すなわち、図3に示されるように使用されるトランジスタのチャンネル長が微細化され、そのトランジスタのチャンネル長が250nmから50nmに移行した場合、SNMは平均値が減少するだけでなく、SNMの偏差も増大する。従って、SNMの最悪値は著しく劣化する。図示される50nmにおいてはSNMの最悪値が「0」以下になってしまうので、読み出し操作に伴ってワード線信号WLが高電位になった際には、記憶データが破壊される恐れがある。

一方、文献2 (H. Sakakibara, "A 750MHz 144Mb cache DRAM LSI with speed scalable design and programmable at-speed function-array BIST," IEEE International Solid State Circuit Conference, 2003 (図1)) において、読み出し専用ポートを持ったSRAMが提案されている。このSRAMでは、図4に示されるように、メモリセルを8個のトランジスタで構成し、ビット線をメモリセルのセル電流のみでフルスイングさせている。この方式の本来の目的は世代を進めた場合の動作速度改善効果を得ることである。更に、読み出し操作に伴うビット線からセル内のデータ記憶ノードへの電荷の流入がないことから、従来のSRAMで将来問題になる読み出し操作に伴う記憶データの破壊は発生しない。従って、この回路構成によるSRAMでは、世代を進めた場合の高速動作だけでなく、安定動作が

可能である。

上記文献1のように、トランジスタ6個を用いた従来のSRAMセルでは、SNMの最悪値が劣化することから、将来的には安定なデータ保持は困難になる。これに関し、次に、図5に図6を併せ参照して、SNMの値が十分に足りない場合に生じる読み出し操作に伴う記憶データの破壊のメカニズムについて説明する。

通常のセルでは、図6(A)に示されるようにワード線信号WLが選択されると、図6(B)に示されるように通常セルの記憶ノードの場合には、データ記憶ノードの低電位「0」が接地電位から若干上昇するのみである。しかしながら、その電位が入力されるインバータを構成するNMOS(NチャネルMOS)トランジスタで、しきい値電圧がばらつき、著しく低くなった場合には、このNMOSトランジスタが「オン」となってしまいうので、そのインバータの出力は高電位「1」から低下する。これにより、最終的には、図6(C)に示されるようにデータ記憶ノードの電位が反転して、データが破壊される。

一方、上記文献2の読み出し専用ポートを持つSRAMセルでは、読み出し操作に伴う記憶データの破壊は起きないが、トランジスタ数が8個になること、制御信号数も、全体では5本必要であることから、セル面積が増大してしまう問題がある。

本発明の解決しようとする課題は、超高速動作または超低電圧動作を要求される場合でも、読み出し操作の際の記憶データ破壊を防止可能なメモリセルを構成するためには8個のトランジスタ、多くの制御信号が必要とされるので、構成面積を縮小できないことである。

発明の開示

本発明は、上述した問題点を改善するためになされたものであって、その目的とするところは、超高速動作または超低電圧動作を要求される場合でも、読み出し操作の際の記憶データ破壊を防止可能なメモリセルを、最小のトランジスタ数で構成し、小さな構成面積で実現するスタティックランダムアクセスメモリ(SRAM)を提供することにある。

本発明によれば、スタティックランダムアクセスメモリ(SRAM)のメモリセ

ルは、ループ接続され保持回路を形成する第1及び第2インバータ回路と、2つのアクセストランジスタと、第2インバータ回路のドライブトランジスタに直列接続された保持制御トランジスタとから構成され、保持制御トランジスタはメモリセルが非アクセスのときには第1及び第2インバータ回路はループ接続された保持回路を形成し静的にデータ保持し、メモリセルがアクセスされたときには第1及び第2インバータ回路はループ接続が切られ動的にデータ保持させる。メモリセルがアクセスされたときに、動的にデータ保持させることで読み出し操作に伴うデータ破壊を防止することができる。

また、第2インバータ回路の出力に接続された第2アクセストランジスタは書き込み時には第2インバータ回路の出力を低電位にリセットすることで書き込みを容易ならしめ、メモリセルを少ないトランジスタ数と制御信号数とで構成することもできる。

さらに、メモリセルからのセルデータを1本のビット線により入力されるセンスアンプにより効率よくメモリセル間のデータ伝達行う。メモリセルをL字形領域に配置レイアウトし、そのメモリセルをミラー反転させ、配置させたセルアレイはその領域内に空スペースを有する。その空スペースにセンスアンプを分割配置することで、セルブロックを効率よく小面積と出来る。

図面の簡単な説明

図1は従来のSRAMにおける回路構成の一例を示した図である（文献1）。

図2は従来のSRAMにおいて安定動作を示すSNMについての説明図である。

図3は従来のSRAMにおいてトランジスタのチャンネル長によるSNMについての説明図である。

図4は従来のSRAMにおける回路構成の一例を示した図である（非特許文献2）。

図5は従来のSRAMにおいて、読み出し操作に伴うデータ破壊のメカニズムについての一例を示した回路説明図である。

図6（A）、（B）、（C）は従来のSRAMにおける読み出し操作に伴うデータ破

壊のメカニズムについて、(A) は読み出し操作、(B) はデータ記憶ノードの通常例、及び (C) はばらつき存在例それぞれを示した説明図である。

図 7 は第 1 実施例における S R A M のメモリセルの回路構成を示す図である。

図 8 (A) は図 7 による「0」読み出しの際における動作タイミング、(B) は「1」読み出しの際における動作タイミングそれぞれの一形態を示すタイムチャートである。

図 9 (A) は図 7 による「0」書き込みの際における動作タイミング、(B) は「1」書き込みの際における動作タイミングそれぞれの一形態を示すタイムチャートである。

図 10 は第 2 実施例における S R A M のメモリセルの回路構成を示す図である。

図 11 (A)、(B) は第 3 実施例における S R A M のメモリセルの回路構成を示す図である。

図 12 (A) ～ (D) は第 3 実施例における制御方式の 1 例である。

図 13 (A) ～ (D) は制御方式の他の例を示す。

図 14 (A)、(B) は第 4 実施例におけるセンスアンプ S A 1 1、S A 1 2 の回路構成を示す。

図 15 は第 4 実施例におけるセンスアンプ S A 1 1 の動作タイムチャートである。

図 16 (A)、(B) は第 5 実施例におけるセンスアンプ S A 2 1、S A 2 2 の回路構成を示す。

図 17 (A) ～ (D) は第 5 実施例におけるセンスアンプ S A 2 1 の動作タイムチャートである。

図 18 (A)、(B) は第 6 実施例におけるセンスアンプ S A 2 3、S A 2 4 の回路構成を示す。

図 19 (A) ～ (D) は第 6 実施例におけるセンスアンプ S A 2 3 の動作タイムチャートである。

図 20 は第 7 実施例におけるセンスアンプ S A 2 5 の回路構成を示す。

図 21 (A) ～ (D) は第 7 実施例におけるセンスアンプ S A 2 5 の動作タイム

チャートである。

図 2 2 (A)、(B) は第 8 実施例におけるセンスアンプ S A 2 6, S A 2 7 の回路構成を示す。

図 2 3 (A) ~ (D) は第 8 実施例におけるセンスアンプ S A 2 6 の動作タイムチャートである。

図 2 4 (A)、(B) は第 9 実施例におけるセンスアンプ S A 3 1, S A 3 2 の回路構成を示す。

図 2 5 (A) ~ (D) は第 9 実施例におけるセンスアンプの動作タイムチャートである。

図 2 6 (A) ~ (C) は第 1 0 実施例における S R A M セル配置レイアウトの一実施例を示す。

図 2 7 (A)、(B) は第 1 0 実施例における S R A M セルの他の実施例を示す。

図 2 8 (A)、(B) は第 1 0 実施例における S R A M セルの他の実施例を示す。

図 2 9 (A)、(B) は第 1 0 実施例における S R A M セルの他の実施例を示す。

図 3 0 (A) ~ (D) はセルブロックの配置を示す。

図 3 1 は第 1 1 実施例のセルブロック A におけるセンスアンプ S A 1 1 のレイアウトを示す。

図 3 2 はセルブロック A におけるセンスアンプ S A 2 1 のレイアウトを示す。

図 3 3 はセルブロック A におけるセンスアンプ S A 2 3 のレイアウトを示す。

図 3 4 はセルブロック A におけるセンスアンプ S A 2 3 の他のレイアウトを示す。

図 3 5 はセルブロック B におけるセンスアンプ S A 2 3 のレイアウトを示す。

図 3 6 はセルブロック A におけるセンスアンプ S A 1 1 のレイアウトを示す。

図 3 7 はセルブロック A におけるセンスアンプ S A 1 2 のレイアウトを示す。

図 3 8 はセルブロック A におけるセンスアンプ S A 2 1 のレイアウトを示す。

図 3 9 はセルブロック A におけるセンスアンプ S A 2 2 のレイアウトを示す。

図 4 0 はセルブロック B におけるセンスアンプ S A 2 3 のレイアウトを示す。

図 4 1 はセルブロック B におけるセンスアンプ S A 2 4 のレイアウトを示す。

図4 2はセルブロックBにおけるセンスアンプSA 2 5のレイアウトを示す。
図4 3はセルブロックAにおけるセンスアンプSA 2 6のレイアウトを示す。
図4 4はセルブロックAにおけるセンスアンプSA 2 7のレイアウトを示す。
図4 5はセルブロックAにおけるセンスアンプSA 3 1のレイアウトを示す。
図4 6はセルブロックAにおけるセンスアンプSA 3 2のレイアウトを示す。
図4 7はセルブロックCにおけるセンスアンプSA 1 1のレイアウトを示す。
図4 8はセルブロックAにおけるセンスアンプSA 1 2のレイアウトを示す。
図4 9 (A)～(C)は第1 2実施例における半導体記憶装置の全体概略を示す。
図5 Oはメモリブロック構成を示す。
図5 1はサブワードドライバの回路構成を示す。

発明を実施するための最良の形態

本発明の超高速、超低電圧にて動作する半導体記憶装置を実現するために、メモリセルの回路構成とレイアウト、センスアンプの回路構成とレイアウト、サブデコーダの回路構成、及びセルブロックのレイアウトについて、以下に図面を参照して詳細に説明する。

[第1 実施例]

本発明の第1 実施例を、図7～図9を用いて説明する。図7はスタティックランダムアクセスメモリのSRAMセルにおける第1の実施例を示す回路構成である。図8は読み出し動作におけるタイムチャートであり、(A)は「0」読み出し、(B)は「1」読み出し時のタイムチャートである。図9は書き込み動作におけるタイムチャートであり、(A)は「0」書き込み、(B)は「1」書き込み時のタイムチャートである。

図7に示すSRAMセルは、第1のCMOSインバータを形成するPMOSトランジスタP 1及びNMOSトランジスタN 1と、第2のCMOSインバータを形成するPMOSトランジスタP 2及びNMOSトランジスタN 2と、アクセス手段であるNMOSトランジスタN 3及びN 4と、保持制御手段であるNMOSトランジスタN 5との7個のトランジスタにより構成される。ここでインバータ回路を構成

するPMOSトランジスタP1, P2は負荷トランジスタ、NMOSトランジスタN1, N2はドライブトランジスタである。

第1のCMOSインバータは、PMOSトランジスタP1とNMOSトランジスタN1とから構成され、データ記憶ノードV2のデータを入力とし、データ記憶ノードV1にデータを出力する。第2のCMOSインバータは、PMOSトランジスタP2とNMOSトランジスタN2とから構成され、データ記憶ノードV1のデータを入力とし、データ記憶ノードV2にデータを出力する。第1及び第2のインバータ回路はそれぞれのPMOSトランジスタP1, P2のソースは電源電位VDDに、NMOSトランジスタN1, N2のソースは直接又はNMOSトランジスタN5を介して接地電位GNDに接続される。

NMOSトランジスタN3は、ビット線BLに接続されワード線信号RWLを用いてデータ記憶ノードV1に対してデータアクセスを行う。NMOSトランジスタN4は、そのドレイン、ソース、ゲートが、それぞれ、データ記憶ノードV2、接地電位、そして、書き込みワード線信号WWLに接続され、書き込み動作の際に、書き込みワード線信号WWLを用いて第2のCMOSインバータの出力ノードV2を低電位「0」へリセットする。

保持制御手段であるNMOSトランジスタN5は、第2のCMOSインバータと接地電位との間に挿入され、そのドレイン、ソース、ゲートが、それぞれ、NMOSトランジスタN2のソース、接地電位、反転ワード線信号WLBに接続される。メモリセルがワード線信号RWLを用いてアクセスされた際には、その反転ワード線信号WLBによりNMOSトランジスタN2が「オン」しないように制御される。

メモリセルがアクセスされない状態においては、NMOSトランジスタN5が「オン」することにより第1及び第2のCMOSインバータはループ接続され保持回路となり、静的な保持状態となる。メモリセルがアクセスされた状態においては、NMOSトランジスタN5がオフとなることで第2のCMOSインバータは接地電位から切り離され、第1及び第2のCMOSインバータはループ接続が切られ保持回路を構成しなくなるが、メモリセルがアクセスされる期間である短期間では切断前の状態を保持することができる。この保持状態を動的保持と称する。保持制御

手段によりデータ保持状態を静的保持または動的保持状態に切換える。

次に図8の読み出し時のタイムチャートを併せ参照して、読み出し動作について説明する。図8(A)に「0」読み出し、図8(B)に「1」読み出しを示す。ここでメモリセルのデータ「0」及び「1」はデータ記憶ノードV1に対するデータの状態として以下説明する。

図8に示されるように、読み出し動作の際には、ワード線信号RWLを高電位「1」に、またその反転信号WLBを低電位「0」にそれぞれが設定される。書き込み用ワード線WWLは低電位「0」に設定されている。

図8(A)に示されるデータ記憶ノードV1が低電位「0」の場合は（データ記憶ノードV2は高電位「1」）、ワード線反転信号WLBが低電位「0」に制御されるのでNMOSトランジスタN5は「オフ」し、データ記憶ノードV2は高電位「1」を動的に保持する。従ってNMOSトランジスタN1がオン状態のままで、ビット線BLの高電位「1」が放電され低電位「0」になり、データ記憶ノードV1における低電位「0」をビット線に読み出す。このとき、データ記憶ノードV1が一時的に低電位「0」から上昇したとしても第2のCMOSインバータのデータ記憶ノードV2は高電位「1」を保持し続けることでビット線BLの電位は低電位「0」に放電される。従って、記憶データが破壊されることなく読み出し動作が可能である。

一方、図8(B)に示されるデータ記憶ノードV1が高電位「1」の場合は（データ記憶ノードV2は低電位「0」）、保持制御トランジスタがオフするがデータ記憶ノードV2は低電位「0」を動的に保持する。NMOSトランジスタN1がオフ状態であり、データ記憶ノードV1とビット線BLはともに高電位「1」であり、ビット線BLにおいて放電動作が行われることなしに、データ記憶ノードV1における高電位「1」をビット線に読み出すことになる。従って、ビット線BLの電位、データ記憶ノードV1及びデータ記憶ノードV2の両者での電位それぞれに変化はない。

次に、図9のタイムチャートを併せ参照して、SRAMセルにおける書き込み動作について説明する。図9(A)に「0」書き込み、図9(B)に「1」書き込み

を示す。

図9に示されるように、書き込み動作の際には、上述した読み出し動作での制御に、書き込み用ワード線WWLの制御が加わる。ワード線信号RWLを高電位「1」に設定し、その反転信号WLBを低電位「0」としデータ記憶ノードV2は保持制御トランジスタN5により接地電位から切り離される。書き込み用ワード線WWLはワード線信号RWLよりも短い期間のみ高電位「1」に設定することで第2のCMOSインバータの出力V2は低電位「0」にリセットする。ビット線BLは書き込み電位「0」又は「1」に設定されている。

図9(A)に示されるデータ記憶ノードV1に低電位「0」を記憶させたい場合は、ビット線BLが低電位「0」となることでデータ記憶ノードV1は低電位「0」となり、データ記憶ノードV1に低電位「0」が書き込まれる。しかしながら、書き込みワード線信号WWLが高電位「1」になっている期間におけるデータ記憶ノードV2はトランジスタP2とトランジスタN4との電流パスにより中間レベルでありトランジスタP1がかすかにオン状態となり、データ記憶ノードV1には完全な低電位「0」が書き込まれない。従って、書き込みワード線信号WWLは、高電位「1」の期間をワード信号WLよりも短くする制御を行い、データ記憶ノードV2を早く高電位「1」にさせる必要がある。

また、図9(B)に示されるデータ記憶ノードV1に高電位「1」を記憶させたい場合には、ビット線BLを高電位「1」のままであり、書き込み用ワード線WWLを高電位「1」で、データ記憶ノードV2が低電位「0」にリセットされ、これをゲート入力とするPMOSトランジスタP1が「オン」、NMOSトランジスタN1が「オフ」して、データ記憶ノードV1が高電位「1」となり、データ記憶ノードV1に高電位「1」が書き込まれる。

本実施例のSRAMにおいては、メモリセルが7個のトランジスタと4本の信号線とからなる少ない素子で構成される。保持制御手段により保持状態を静的保持と動的保持に切換え、トランジスタN4により書き込み動作の際に第2のデータ記憶ノードV2を低電位へリセットすることで、読み出し操作の際の記憶データ破壊を防止でき、かつ超高速動作または超低電圧動作可能なメモリセルを少ない素子数、信

号線数で実現した。

[第2実施例]

本発明の第2実施例について、図10を用いて説明する。図10は本発明の第2実施例におけるSRAMのメモリセルの回路構成を示す図である。第2実施例は第1実施例のSRAMのメモリセルにおいて、保持制御トランジスタN5の接続位置を変更したものであり他の回路構成は第1実施例と同じ構成である。第1実施例では保持制御トランジスタN5をドライブトランジスタN2のソース側に挿入したが、本第2実施例では保持制御トランジスタN5をドライブトランジスタN2のドレイン側に挿入した。

図10の第2実施例におけるSRAMセルは、第1のCMOSインバータを形成するPMOSトランジスタP1及びNMOSトランジスタN1と、第2のCMOSインバータを形成するPMOSトランジスタP2及びNMOSトランジスタN2と、アクセストランジスタNMOSトランジスタN3及びN4と、保持制御トランジスタN5との7個のトランジスタにより構成される。

保持制御手段であるNMOSトランジスタN5は、第2のCMOSインバータのPMOSトランジスタP2とNMOSトランジスタN2との間に挿入され、そのドレイン、ソース、ゲートが、それぞれ、データ記憶ノードV2、NMOSトランジスタN2のドレイン、そして、反転ワード線信号WLBに接続され、メモリセルがワード線信号WLBを用いてアクセスされた際にNMOSトランジスタN2が「オン」しないように制御される。

第2実施例は以上説明したように第1実施例のSRAMのメモリセルにおいて、トランジスタN5の接続位置を変更したものであり他の回路構成は第1実施例と同じ構成であり、その機能および動作は、図8および図9を参照して上述した実施例1と全く同一であるため、その説明は省略する。

第2実施例のSRAMにおいても、メモリセルが7個のトランジスタと4本の信号線とからなる少ない素子で構成される。保持制御手段により保持状態を静的保持と動的保持に切換え、トランジスタN4により書込み動作の際に第2のデータ記憶ノードV2を低電位へリセットすることで、読み出し操作の際の記憶データ破壊を

防止でき、かつ超高速動作または超低電圧動作可能なメモリセルを少ない素子数、信号線数で実現できる。

[第3実施例]

本発明の第3実施例について、図11～図13を用いて説明する。図11は第3実施例におけるSRAMのメモリセルの回路構成を示す図である。図12は第1の動作タイミングを示すタイムチャート、図13は第2の動作タイミングを示すタイムチャートである。

図11 (A) におけるSRAMセルは、第1のCMOSインバータを形成するPMOSトランジスタP1及びNMOSトランジスタN1と、第2のCMOSインバータを形成するPMOSトランジスタP2及びNMOSトランジスタN2と、アクセス手段であるNMOSトランジスタN3及びN4と、保持制御手段であるNMOSトランジスタN5との7個のトランジスタにより構成される。

第1のCMOSインバータは、PMOSトランジスタP1とNMOSトランジスタN1とから構成され、データ記憶ノードV2のデータを入力とし、データ記憶ノードV1にデータを出力する。第2のCMOSインバータは、PMOSトランジスタP2とNMOSトランジスタN2とから構成され、データ記憶ノードV1のデータを入力とし、データ記憶ノードV2にデータを出力する。

NMOSトランジスタN3は、読み出しビット線RBLに接続され読み出しワード線信号RWLを用いてデータ記憶ノードV1に対してデータアクセスを行う。NMOSトランジスタN4は、書き込みビット線WBLに接続され書き込みワード線信号WWLを用いてデータ記憶ノードV2に対してデータアクセスを行う。

保持制御手段であるNMOSトランジスタN5は、第2のCMOSインバータを形成するPMOSトランジスタP2とNMOSトランジスタN2との間に挿入され、そのドレイン、ソース、ゲートが、それぞれ、PMOSトランジスタP2のドレイン、NMOSトランジスタN2のドレイン、そして、反転ワード線信号WLBに接続され、メモリセルがアクセスされた際にNMOSトランジスタN2が「オン」しないように制御する。すなわち、メモリセルがアクセスされた状態においては第1及び第2のCMOSインバータによるデータ保持状態を静的保持から動的保持

とし、メモリセルのデータ読み出し時におけるセルデータ破壊防止及び高速動作、メモリセルへのデータ書き込み時における高速動作を可能にする。

図12、13に示すタイムチャートにより動作を説明する。図12は第1の動作タイミングを示すタイムチャート、図13は第2の動作タイミングを示すタイムチャートである。図12は読み出し時にはアクセストランジスタN3、書き込み時には2つのアクセストランジスタN3、N4により動作させるタイムチャートであり、図13は読み出し時にはアクセストランジスタN3、書き込み時にはアクセストランジスタN4により動作させるタイムチャートである。

図12には(A)「0」読み出し、(B)「1」読み出し、(C)「0」書き込み、(D)「1」書き込み時のタイムチャートをそれぞれ示す。図12(A)「0」読み込み時には、読み出しワード線信号RWLが高電位「1」となりアクセストランジスタN3が活性化され、書き込みワード線信号WWLは低電位「0」のままでありアクセストランジスタN4は活性化さない。読み出しワード線信号RWLが高電位「1」になることで反転ワード線信号WLBは低電位「0」となり保持制御トランジスタN5はオフする。

反転ワード線信号WLBが低電位「0」となり保持制御トランジスタN5はオフ、データ記憶ノードV2は高電位「1」を保持し、トランジスタN1がオン状態であるため読み出しビット線RBLはプリチャージレベルから低電位「0」となり、データ記憶ノードV1の低電位「0」を読み出しビット線に読み出すことでメモリセルの「0」読み出しが行われる。ここで保持制御トランジスタN5がオフすることでトランジスタN2のリーク電流によるデータ記憶ノードV2における高電位「1」の低下を防ぎ、読み出し時データ破壊を防止する効果がある。

図12(B)「1」読み出し時には、読み出しワード線信号RWLが高電位「1」となりアクセストランジスタN3が活性化され、書き込みワード線信号WWLは低電位「0」のままでアクセストランジスタN4が活性化さない。読み出しワード線信号RWLが高電位「1」になることで反転ワード線信号WLBは低電位「0」となり保持制御トランジスタN5はオフする。

反転ワード線信号WLBが低電位「0」となり保持制御トランジスタN5はオフ

するが読み出し期間の短い間ではデータ記憶ノードV 2は低電位「0」を保持し、トランジスタN 1がオフ状態であり読み出しビット線R B Lはプリチャージレベルの高電位「1」とままで、データ記憶ノードV 1の高電位「1」を読み出しビット線に読み出すことでメモリセルの「1」読み出しが行われる。

読み出し期間には保持制御トランジスタN 5はオフされ、データ記憶ノードV 2における低電位「0」を保持するルートパスは切断されるが、短い読み出し期間の間は低電位「0」を動的に保持するために動作上は問題なく、読み出し期間終了後にはトランジスタN 5はオンすることで静的にデータ記憶ノードを保持し続ける。

図12 (C)「0」書き込み時には、読み出しワード線信号RWL及び書き込みワード線信号WWLが高電位「1」となりアクセストランジスタN 3及びN 4が活性化される。読み出しワード線信号RWL及び書き込みワード線信号WWLが高電位「1」になることで反転ワード線信号WLBは低電位「0」となり保持制御トランジスタN 5はオフし、読み出しビット線R B Lには書き込みデータである低電位「0」、書き込みビット線W B Lには反転データである高電位「1」が印加される。

反転ワード線信号WLBが低電位「0」となり保持制御トランジスタN 5はオフすることでデータ記憶ノードV 2には書き込みビット線W B Lの高電位「1」が瞬時に書き込まれ、さらにトランジスタN 1がオン、トランジスタP 1がオフし、データ記憶ノードV 1には読み込みビット線R B Lの低電位「0」が瞬時に書き込まれ、メモリセルに「0」書き込みが行われる。

図12 (D)「1」書き込み時には、読み出しワード線信号RWL及び書き込みワード線信号WWLが高電位「1」となりアクセストランジスタN 3及びN 4が活性化される。読み出しワード線信号RWL及び書き込みワード線信号WWLが高電位「1」になることで反転ワード線信号WLBは低電位「0」となり保持制御トランジスタN 5はオフし、読み出しビット線R B Lには書き込みデータである高電位「1」、そして書き込みビット線W B Lには反転データである低電位「0」が印加される。

データ記憶ノードV 2には書き込みビット線W B Lの低電位「0」が書き込まれ、さらにデータ記憶ノードV 1には読み込みビット線R B Lの高電位「1」が書き込

まれ、トランジスタN1がオフ、トランジスタP1がオンすることで、メモリセルに「1」書き込みが行われる。

次に、図13に示す(A)「0」読み出し、(B)「1」読み出し、(C)「0」書き込み、(D)「1」書き込み時のタイムチャートを説明する。図13においては、読み出しはアクセストランジスタN3、書き込みはアクセストランジスタN4を用いて行われる動作モードである。

図13 (A)「0」読み出し、(B)「1」読み出し時におけるタイムチャートは図12 (C)「0」読み出し、(D)「1」読み出しと同一であり、その動作は同じであるために説明を省略する。

図13 (C)「0」書き込み時には、書き込みワード線信号WWLが高電位「1」となりアクセストランジスタN4が活性化され、読み出しワード線信号RWLは低電位「0」のままでアクセストランジスタN3は活性化されない。書き込みワード線信号WWLが高電位「1」になることで反転ワード線信号WLBは低電位「0」となり保持制御トランジスタN5はオフされ、書き込みビット線WBLには書き込みデータの反転である高電位「1」が印加される。読み出しビット線RBLはプリチャージレベルのままである。

反転ワード線信号WLBが低電位「0」となり保持制御トランジスタN5はオフすることでデータ記憶ノードV2には書き込みビット線WBLの高電位「1」が瞬時に書き込まれ、さらにトランジスタN1がオン、トランジスタP1がオフし、データ記憶ノードV1には低電位「0」が書き込まれることでメモリセルに「0」書き込みが行われる。

図13 (D)「1」書き込み時には、書き込みワード線信号WWLが高電位「1」となりアクセストランジスタN4が活性化され、読み出しワード線信号RWLは低電位「0」のままでアクセストランジスタN3は活性化されない。書き込みワード線信号WWLが高電位「1」になることで反転ワード線信号WLBは低電位「0」となり保持制御トランジスタN5はオフされ、書き込みビット線WBLには書き込みデータの反転である低電位「0」が印加される。読み出しビット線RBLはプリチャージレベルのままである。

反転ワード線信号WLBが低電位「0」となり保持制御トランジスタN5はオフすることでデータ記憶ノードV2には書き込みビット線WBLの低電位「0」が書き込まれ、さらにトランジスタN1がオフ、トランジスタP1がオンすることでデータ記憶ノードV1には高電位「1」が書き込まれ、メモリセルに「1」書き込みが行われる。

さらに、図11(B)にはメモリセルの第2の構成を示す。図11(B)においては、保持制御手段であるNMOSトランジスタN5は第2のCMOSインバータと接地電位との間に挿入され、そのドレインをトランジスタN2のソースに、ソースを接地電位に、ゲートに反転ワード線信号WLBに接続されている。図11(A)では保持制御トランジスタN5は第2のCMOSインバータのドライブトランジスタN2のドレイン側に、図11(B)ではソース側に挿入接続されている。

図11(B)におけるメモリセルの構成においても、保持制御手段であるNMOSトランジスタN5の接続位置が変更されているだけであり、その動作は図12及び図13における(A)「0」読み出し、(B)「1」読み出し、(C)「0」書き込み、(D)「1」書き込み時のタイムチャートと同様であり、その説明は省略する。

本実施例のSRAMにおいては、メモリセルが、第1及び第2のインバータ回路と、2つのアクセス手段であるアクセストランジスタと、保持制御手段である保持制御トランジスタからなる7個のトランジスタから構成される。書き込みビット線からの反転データを入力することで書き込みワード線信号のパルス幅は読み出しワード線信号と同じくなりパルス幅の制御が簡単になるメリットを有する。データ保持制御手段によりデータ保持状態を静的保持又は動的保持に切換え制御し、メモリセルデータの読み出しは一方のアクセス手段から行い、データ書き込みは他方又は両方のアクセス手段から行うことで、読み出し操作の際の記憶データ破壊を防止できる超高速動作及び超低電圧動作可能なSRAMを実現できる。

[第4 実施例]

本発明の第4実施例はメモリセルとのデータをやり取りするセンスアンプに関する実施例である。メモリセルとのデータのやり取りを1本のビット線で行うセンスアンプの実施例である。図14(A)には入出力回路とのデータ転送をデータ線

DLの1本で行うセンスアンプSA11の回路構成、図14(B)には入出力回路とのデータ転送を読み出しデータ線RDL及び書き込みデータ線WDLの2本で行うセンスアンプSA12の回路構成、図15にセンスアンプSA11の動作の一形態を示すタイムチャートを示す。

図14(A)のセンスアンプSA11の回路構成を説明する。メモリセルと接続されたビット線BLからのデータが入力されるインバータ回路はPMOSトランジスタP11及びNMOSトランジスタN11から構成される。インバータからの出力BLBはPMOSトランジスタP12とNMOSトランジスタN12のゲートに入力される。PMOSトランジスタP12はソースが電源電圧VDDに、ドレインがビット線BLに接続され、オン時にはビット線をハイレベルに維持するビット線ハイレベル維持用のトランジスタである。NMOSトランジスタN12はソースが接地電位GNDに、ドレインがデータ線DLに接続される読み出しトランジスタである。データ線はセンスアンプと入出力回路又は中間回路とのデータをやり取りする信号線でありグローバルデータ線とも呼ばれる。

データ線DLとビット線BLとの間にゲートに書き込み信号WEが入力される書き込み用のNMOSトランジスタN13と、プリチャージ信号PCをゲート入力としソースを電源電圧VDDに、ドレインをビット線BLに接続されたプリチャージ用のPMOSトランジスタP13とで構成される。

センスアンプの基本は、読み出し時におけるメモリセルからのデータをビット線から入力されデータ線に伝えるインバータ回路と読み出しトランジスタ、書き込み時のデータ線からのデータをビット線に入力しメモリセルに書き込みトランジスタより構成される。プリチャージトランジスタ及びレベル維持トランジスタはより安定動作させるための付帯的な構成である。ここで、レベル維持トランジスタP12は、全ての実施例のセンスアンプにおいて、省略することも可能である。

図14(B)のセンスアンプSA12は、図14(A)のセンスアンプSA11におけるデータ線DLが書き込みデータ線WDLと、読み出しデータ線RDLとに分離され構成される。書き込みデータ線WDLは書き込みトランジスタN13に、読み出しデータ線RDLは読み出しトランジスタN12にそれぞれ接続される。セ

ンスアンプS A 1 1とS A 1 2との違いはセンスアンプとのデータやり取りする入出力回路又は中間回路の構成によるものでありセンスアンプとしての基本動作は同じである。

図15は本実施例図14(A)のセンスアンプS A 1 1の動作の一形態を示すタイムチャートを示す。本センスアンプS A 1 1に適用できるメモリセルは限定されるものではないが、動作の一形態として第1又は第2実施例のメモリセルに適用した場合として説明する。

(A)「0」読み出しの場合：プリチャージ信号P Cが高電位「1」に変化することで、プリチャージトランジスタP 1 3はオフし、ビット線B Lへのプリチャージを終了する。メモリセルへの読み出しワード線信号R W Lが高電位「1」となり、ビット線B Lはメモリセルデータ「0」を読み出し、低電位「0」となる。ビット線B Lのデータによりインバータ出力B L Bは高電位「1」となり、読み出しトランジスタN 1 2がオンし、データ線D Lを低電位「0」とし、セルデータ「0」を読み出す。読み出しワード線信号R W L、プリチャージ信号P Cは低電位「0」に戻ることによって読み出しが終了する。読み出し期間中は書き込みワード線信号W W L及び書き込み信号W Eは低電位「0」のままで、変化しない。

(B)「1」読み出しの場合：プリチャージ信号P Cが高電位「1」に変化することで、プリチャージトランジスタP 1 3はオフし、ビット線B Lへのプリチャージを終了する。メモリセルへの読み出しワード線信号R W Lが高電位「1」となり、ビット線B Lはメモリセルデータ「1」を読み出し、高電位「1」となる。ビット線B Lのデータによりインバータ出力B L Bは低電位「0」となり、読み出しトランジスタN 1 2はオフのため、データ線D Lは高電位「1」を維持することで、セルデータ「1」を読み出す。読み出しワード線信号R W L、プリチャージ信号P Cは低電位「0」に戻ることによって読み出しが終了する。読み出し期間中は書き込みワード線信号W W L及び書き込み信号W Eは低電位「0」のままで、変化しない。

(C)「0」書き込みの場合：プリチャージ信号P Cが高電位「1」に変化することで、プリチャージトランジスタP 1 3はオフし、ビット線B Lへのプリチャージを終了する。データ線D Lが低電位「0」になるとともに、書き込み信号W Eが高電

位「1」となることで書き込みトランジスタN13を経由してビット線BLは低電位「0」となる。メモリセルの読み出しワード線信号RWL、書き込みワード線信号WWLが高電位「1」となり、ビット線BLのデータ「0」をメモリセルに書き込む。書き込みワード線信号WWLが低電位「0」となり、完全な「0」書き込みとなる。読み出しワード線信号RWL、プリチャージ信号PC、書き込み信号WEは低電位「0」に戻り、データ線DL、ビット線BLが高電位「1」に戻ることで「0」書き込みが終了する。

(D) 「1」書き込みの場合：プリチャージ信号PCが高電位「1」に変化することで、プリチャージトランジスタP13はオフし、ビット線BLへのプリチャージを終了する。データ線DLが高電位「1」のままで、書き込み信号WEが高電位「1」となることで書き込みトランジスタN13を経由してビット線BLも高電位「1」を維持する。メモリセルの読み出しワード線信号RWL、書き込みワード線信号WWLが高電位「1」となり、ビット線BLのデータ「1」をメモリセルに書き込む。書き込みワード線信号WWLが低電位「0」となり、完全な「1」をメモリセルに書き込む。読み出しワード線信号RWL、プリチャージ信号PC、書き込み信号WEは低電位「0」に戻ることで「1」書き込みが終了する。

図14(B)のセンスアンプSA12はセンスアンプSA11のデータ線DLを読み出しデータ線RDLと書き込みデータ線WDLに分離したものであり、センスアンプとしての基本動作は同じであり、その動作説明は省略する。

本実施例のセンスアンプはメモリセルとのデータ伝達を1本のビット線で行う。メモリセルの記憶データをビット線から入力されるインバータ回路と、インバータ回路出力をデータ線に伝達する読み出しトランジスタと、インバータ回路出力が低電位時にビット線を高電位に維持するビット線ハイレベル維持用のトランジスタと、書き込みデータをビット線に伝達する書き込みトランジスタと、メモリセルがアクセスされないときにビット線を高電位にプリチャージするプリチャージトランジスタから構成される。

[第5実施例]

本発明の第5実施例はメモリセルとのデータのやり取りをデータ読み出し時に

は読み出しビット線、データ書き込み時には読み出しビット線と書き込みビット線で行うセンスアンプの実施例である。図16(A)には入出力回路とのデータ転送をデータ線DL及び反転書き込みデータ線WDLBの2本で行うセンスアンプSA21の回路構成、図16(B)には入出力回路とのデータ転送を読み出しデータ線RDL、書き込みデータ線WDL及び反転書き込みデータ線WDLBの3本で行うセンスアンプSA22の回路構成、図17にセンスアンプSA21の動作の一形態を示すタイムチャートを示す。

図16(A)センスアンプSA21の回路構成を説明する。メモリセルからの読み出しビット線RBLからのデータが入力されるインバータ回路はPMOSトランジスタP11及びNMOSトランジスタN11から構成される。インバータからの出力BLBはPMOSトランジスタP12とNMOSトランジスタN12のゲートに入力される。PMOSトランジスタP12はソースが電源電圧VDDに、ドレインが読み出しビット線RBLに接続され、オン時には読み出しビット線RBLをハイレベルに維持するビット線ハイレベル維持用のトランジスタである。NMOSトランジスタN12はソースが接地電位GNDに、ドレインがデータ線DLに接続された読み出しトランジスタである。

データ線DLと読み出しビット線RBLとの間、及び反転書き込みデータ線WDLBと書き込みビット線WBLとの間にゲートに書き込み信号WEが入力される書き込み用NMOSトランジスタN13及びN14がそれぞれ接続される。さらに、書き込み信号WEをゲート入力としソースを電源電圧VDDに、ドレインを書き込みビット線WBLに接続されたプリチャージ用のPMOSトランジスタP14と、プリチャージ信号PCをゲート入力としソースを電源電圧VDDに、ドレインを読み出しビット線RBLに接続されたプリチャージ用のPMOSトランジスタP13とで構成される。

図16(B)のセンスアンプSA22は、図16(A)のセンスアンプSA21におけるデータ線DLが書き込みデータ線WDLと、読み出しデータ線RDLとに分離され構成される。書き込みデータ線WDLは書き込みトランジスタN13に、読み出しデータ線RDLは読み出しトランジスタN12にそれぞれ接続される。セ

ンスアンプS A 2 1 とS A 2 2 との違いは入出力回路又は中間回路の構成によるものでありセンスアンプとしての基本動作は同じである。

図 1 7 はセンスアンプS A 2 1 の動作の一形態を示すタイムチャートを示す。本センスアンプS A 2 1 に適用できるメモリセルは限定されるものではないが、動作の一形態として第 3 実施例のメモリセルに適用した場合として説明する。

図 1 7 (A) 「0」読み出し、(B) 「1」読み出しに関しては、読み出し期間中には書き込みワード線信号WWL及び書き込み信号WEは低電位「0」のままで、反転書き込みデータ線WDLBは高電位「1」のままで変化しない。従ってセンスアンプS A 2 1 の動作は、センスアンプS A 1 1 におけるビット線BLを読み出しビット線RBLに読み換えるだけで、その動作はセンスアンプS A 1 1 同一である。その詳細な説明は省略する。

(C) 「0」書き込みの場合：プリチャージ信号PC及び書き込み信号WEが高電位「1」に変化することで、プリチャージトランジスタP 1 3 及びP 1 4 はオフし、読み出しビット線RBL及び書き込みビット線WBLへのプリチャージを終了する。データ線DLは低電位「0」、反転書き込みデータ線WDLBは高電位「1」になるとともに、書き込み信号WEが高電位「1」となることで書き込みトランジスタN 1 3 及びN 1 4 を経由してそれぞれ読み出しビット線RBLは低電位「0」、書き込みビット線WBLは高電位「1」となる。メモリセルの読み出しワード線信号RWL、書き込みワード線信号WWLが高電位「1」となり、データ「0」をメモリセルに書き込む。読み出しワード線信号RWL、書き込みワード線信号WWL、プリチャージ信号PC、書き込み信号WEは低電位「0」に戻り、データ線DL、読み出しビット線RBLが高電位「1」に戻ることで「0」書き込みが終了する。

(D) 「1」書き込みの場合：プリチャージ信号PC及び書き込み信号WEが高電位「1」に変化することで、プリチャージトランジスタP 1 3 及びP 1 4 はオフし、読み出しビット線RBL及び書き込みビット線WBLへのプリチャージを終了する。データ線DLは高電位「1」、反転書き込みデータ線WDLBは低電位「0」になるとともに、書き込み信号WEが高電位「1」となることで書き込みトランジスタN 1 3 及びN 1 4 を経由してそれぞれ読み出しビット線RBLは高電位「1」、

書き込みビット線WBLは低電位「0」となる。メモリセルの読み出しワード線信号RWL、書き込みワード線信号WWLが高電位「1」となり、データ「1」をメモリセルに書き込む。読み出しワード線信号RWL、書き込みワード線信号WWL、プリチャージ信号PC、書き込み信号WEは低電位「0」に戻り、反転書き込みデータ線WDLB、書き込みビット線WBLが高電位「1」に戻ることで「1」書き込みが終了する。

本実施例のセンスアンプはメモリセルとのデータ伝達を読み出し時には読み出しビット線の1本で、書き込み時には読み出しビット線及び書き込みビット線の2本のビット線で行う。メモリセルの記憶データをビット線から入力されるインバータ回路と、インバータ回路出力をデータ線に伝達する読み出しトランジスタと、インバータ回路出力が低電位時にビット線を高電位に維持するビット線ハイレベル維持用のトランジスタと、書き込みデータを読み出し及び書き込みビット線に伝達するそれぞれの書き込みトランジスタと、読み出し及び書き込みビット線が有効でないときにそれぞれを高電位にプリチャージするプリチャージトランジスタから構成されるセンスアンプが得られる。

[第6実施例]

本発明の第6実施例は前述した第5実施例のセンスアンプをさらに改良したセンスアンプである。第5実施例のセンスアンプから書き込みビット線のプリチャージトランジスタを無くし、読み出しビット線のインバータ回路の出力に書き込みビット線を接続することを特徴とする。

図18(A)には入出力回路とのデータ転送をデータ線DL及び反転書き込みデータ線WDLBの2本で行うセンスアンプSA23の回路構成図、図18(B)には入出力回路とのデータ転送を読み出しデータ線RDL、書き込みデータ線WDL及び反転書き込みデータ線WDLBの3本で行うセンスアンプSA24の回路構成図、図19にセンスアンプSA23の動作の一形態を示すタイムチャートを示す。

図18(A)センスアンプSA23の回路構成は、前述したセンスアンプSA21との相違点は書き込みビット線WBLに接続されていた書き込みビット線のプリチャージトランジスタP14を削除し、書き込みビット線WBLをインバータ回

路の出力に接続し、インバータ回路によりプリチャージさせる点である。従って書き込みビット線WBLのプリチャージレベルは低電位「0」となる。その他の回路構成はセンスアンプ21と同一のため詳述しない。図18(B)に示すセンスアンプSA24はセンスアンプSA23のデータ線DLを読み出しデータ線RDLと書き込みデータ線WDLに分離された構成が異なりだけで、他の構成、及び動作はセンスアンプSA23と同じである。

センスアンプSA23の動作につき説明する。図19(A)「0」読み出し、(B)「1」読み出し時の動作は、センスアンプSA21におけるインバータ回路出力BLBを、センスアンプSA23における書き込みビット線WBLに読み換えるだけで、その動作はセンスアンプSA21と同一である。同様に図19(C)「0」書き込み、(D)「1」書き込みについては、書き込みビット線WBLのプリチャージレベルが低電位「0」になっている点以外はセンスアンプSA21と同様な動作を行う。その詳細な説明は省略する。

[第7実施例]

本発明の第7実施例は前述した第6実施例のセンスアンプSA24をさらに改良したセンスアンプである。書き込みビット線への書き込みデータの入力手段を改良したことを特徴とする。図20にセンスアンプSA25の回路構成、図21にセンスアンプSA25の動作の一形態を示すタイムチャートを示す。

図20のセンスアンプSA25の回路構成は、前述したセンスアンプSA24との相違点は書き込みビット線WBLへの書き込みトランジスタN14による書き込み方法が改良されている。書き込みトランジスタN14のソースには接地電位GND、ゲートには書き込みデータ線WDLが接続され、書き込みデータ線WDLの信号レベルにより書き込みトランジスタN14がオン又はオフすることで書き込みビット線WBLへの書き込みがなされる。

メモリセルからの読み出しビット線RBLからのセルデータが入力されるインバータ回路はPMOSトランジスタP11及びNMOSトランジスタN11から構成される。インバータ回路からの出力は書き込みビット線WBLに接続されるとともに、PMOSトランジスタP12とNMOSトランジスタN12のゲートに入

力される。PMOS トランジスタ P 1 2 はソースが電源電圧 VDD に、ドレインが読み出しビット線 RBL に接続され、オン時には読み出しビット線 RBL をハイレベルに維持するビット線ハイレベル維持用のトランジスタである。NMOS トランジスタ N 1 2 はソースが接地電位 GND に、ドレインが読み出しデータ線 RDL に接続された読み出しトランジスタである。

書き込みデータ線 WDL と読み出しビット線 RBL との間にゲートに書き込み信号 WE が入力される書き込み用 NMOS トランジスタ N 1 3 が接続される。さらに、書き込みデータ線 WDL をゲート入力としソースを接地電位 GND に、ドレインを書き込みビット線 WBL に接続された書き込みトランジスタ N 1 4 が接続される。プリチャージ信号 PC をゲート入力としソースを電源電圧 VDD に、ドレインを読み出しビット線 RBL に接続されたプリチャージ用の PMOS トランジスタ P 1 3 とで構成される。

センスアンプ SA 2 5 の動作につき図 2 1 を参照して説明する。図 2 1 (A) 「0」読み出し動作は：プリチャージ信号 PC が高電位「1」に変化することで、プリチャージトランジスタ P 1 3 はオフし、読み出しビット線 RBL へのプリチャージを終了する。書き込みデータ線 WDL を低電位「0」とし、書き込みトランジスタ N 1 4 をオフ状態とする。メモリセルへの読み出しワード線信号 RWL が高電位「1」となり、読み出しビット線 RBL はメモリセルデータ「0」を読み出す。読み出しビット線 RBL のデータによりインバータ回路出力に接続された書き込みビット線 WBL は高電位「1」となり、読み出しトランジスタ N 1 2 がオンし、読み出しデータ線 RDL を低電位「0」とし、セルデータ「0」を読み出す。読み出しワード線信号 RWL、プリチャージ信号 PC は低電位「0」に、書き込みデータ線 WDL を高電位「1」に戻することで読み出しが終了する。読み出し期間中は書き込みワード線信号 WWL 及び書き込み信号 WE は低電位「0」のままで、変化しない。

(B) 「1」読み出しの場合：プリチャージ信号 PC が高電位「1」に変化することで、プリチャージトランジスタ P 1 3 はオフし、読み出しビット線 RBL へのプリチャージを終了する。書き込みデータ線 WDL を低電位「0」とし、書き込みト

ランジスタN14をオフ状態とする。メモリセルへの読み出しワード線信号RWLが高電位「1」となり、読み出しビット線RBLはメモリセルデータ「1」を読み出す。読み出しビット線RBLのデータによりインバータ回路出力に接続された書き込みビット線WBLは低電位「0」となり、読み出しトランジスタN12はオフのままで、読み出しデータ線RDLも高電位「1」を維持し、セルデータ「1」を読み出す。読み出しワード線信号RWL、プリチャージ信号PCは低電位「0」に、書き込みデータ線WDLを高電位「1」に戻ることによって読み出しが終了する。

(C)「0」書き込みの場合：プリチャージ信号PCが高電位「1」に変化することで、プリチャージトランジスタP13はオフし、ビット線BLへのプリチャージを終了する。書き込みデータ線WDLを低電位「0」とし、書き込みトランジスタN14をオフ状態とする。書き込みデータ線WDLが低電位「0」になるとともに、書き込み信号WEが高電位「1」となることで書き込みトランジスタN13を経由して読み出しビット線RBLは低電位「0」となり、書き込みビット線WBLは高電位「1」となる。メモリセルの読み出しワード線信号RWL、書き込みワード線信号WWLが高電位「1」となり、読み出しビット線RBLのデータ「0」をメモリセルに書き込む。読み出しワード線信号RWL、書き込みワード線信号WWL、プリチャージ信号PC、書き込み信号WEは低電位「0」に、書き込みデータ線RDLが高電位「1」に戻ることによって「0」書き込みが終了する。

(D)「1」書き込みの場合：プリチャージ信号PCが高電位「1」に変化することで、プリチャージトランジスタP13はオフし、ビット線BLへのプリチャージを終了する。書き込みデータ線WDLが高電位「1」のままで、書き込み信号WEが高電位「1」となることで書き込みトランジスタN13を経由して読み出しビット線RBLは高電位「1」となり、書き込みビット線WBLは低電位「0」となる。メモリセルの読み出しワード線信号RWL、書き込みワード線信号WWLが高電位「1」となり、読み出しビット線RBLのデータ「1」をメモリセルに書き込む。読み出しワード線信号RWL、書き込みワード線信号WWL、プリチャージ信号PC、書き込み信号WEは低電位「0」に戻ることによって「1」書き込みが終了する。

[第8実施例]

本発明の第8実施例は第5実施例のセンスアンプSA21及びSA22を簡略化した実施例であり、書き込みビット線WBLと反転書き込みデータ線とを直接接続したことを特徴とする。図22(A)にセンスアンプSA26の回路構成図、図22(B)にはセンスアンプSA27の回路構成図、図23にセンスアンプSA26の動作の一形態を示すタイムチャートを示す。

図22(A)センスアンプSA26及び(B)センスアンプSA27の回路構成を説明する。図22(A)センスアンプSA26及び(B)センスアンプSA27と図16(A)センスアンプSA21及び(B)センスアンプSA22との回路構成を比較すると、センスアンプSA21及びSA22からトランジスタP14及びトランジスタN14が削除され、反転書き込みデータ線WDLBと書き込みビット線WBLが直接接続された構成が異なり、他の回路構成は同一である。

また、図23におけるセンスアンプSA26の動作を示すタイムチャートも図17のセンスアンプSA21のタイムチャートと同一であり、同じ動作となるのでその説明は省略する。

[第9実施例]

本発明の第9実施例は、第5実施例のセンスアンプSA22を簡略化した実施例である。センスアンプSA22において、書き込みビット線WBLと読み出しビット線RBLへの書き込みトランジスタとを削除し、反転書き込みデータ線WDLBからの書き込みを行うことを特徴とする。図24(A)にセンスアンプSA31の回路構成、図24(B)にはセンスアンプSA32の回路構成、図25にセンスアンプSA31及びSA32の動作の一形態を示すタイムチャートを示す。

図24(A)センスアンプSA31及び(B)センスアンプSA32の回路構成を説明する。図22(A)センスアンプSA31と図16(B)センスアンプSA22との回路構成を比較すると、センスアンプSA22から書き込みデータ線WDLと、書き込みトランジスタN13が削除された回路がセンスアンプSA31である。さらに図24(B)センスアンプSA32はセンスアンプ31においてトランジスタP14及びトランジスタN14を削除し、反転書き込みデータ線WDLBと書き込みビット線WBLが直接接続された構成であり、他の回路構成は同一である。

従ってセンスアンプ S A 3 1 及び S A 3 2 の動作するタイムチャートも同じとなる。

図 2 5 におけるセンスアンプ S A 3 1 及び S A 3 2 の動作を説明する。(A) 「0」読み出しの場合：プリチャージ信号 P C が高電位「1」に変化することで、プリチャージトランジスタ P 1 3 はオフし、読み出しビット線 R B L へのプリチャージを終了する。メモリセルへの読み出しワード線信号 R W L が高電位「1」となり、読み出しビット線 R B L はメモリセルデータ「0」を読み出し、低電位「0」となる。読み出しビット線 R B L のデータによりインバータ出力 B L B は高電位「1」となり、読み出しトランジスタ N 1 2 がオンし、読み出しデータ線 R D L を低電位「0」とし、セルデータ「0」を読み出す。読み出しワード線信号 R W L、プリチャージ信号 P C は低電位「0」に戻ることで読み出しが終了する。読み出し期間中は書き込みワード線信号 W W L 及び書き込み信号 W E は低電位「0」のまま、変化しない。

(B) 「1」読み出しの場合：プリチャージ信号 P C が高電位「1」に変化することで、プリチャージトランジスタ P 1 3 はオフし、読み出しビット線 R B L へのプリチャージを終了する。メモリセルへの読み出しワード線信号 R W L が高電位「1」となり、読み出しビット線 R B L はメモリセルデータ「1」を読み出し、高電位「1」となる。読み出しビット線 R B L のデータによりインバータ出力 B L B は低電位「0」となり、読み出しトランジスタ N 1 2 はオフのまま、読み出しデータ線 R D L も高電位「1」のままであり、セルデータ「1」を読み出す。読み出しワード線信号 R W L、プリチャージ信号 P C は低電位「0」に戻ることで読み出しが終了する。

(C) 「0」書き込みの場合：書き込み信号 W E が高電位「1」に変化することで、プリチャージトランジスタ P 1 4 はオフし、書き込みビット線 W B L へのプリチャージを終了する。書き込み信号 W E が高電位「1」となり、反転書き込みデータ線 W D L B の高電位「1」が書き込みトランジスタ N 1 4 を経由して書き込みビット線 W B L には高電位「1」が伝達される。メモリセルの書き込みワード線信号 W W L が高電位「1」となり、書き込みビット線 W B L のデータ「1」をメモリセ

ルの第2データ記憶に書き込むことで第1データ記憶ノードには「0」書き込みされる。書き込み信号WEは低電位「0」に戻ることで「0」書き込みが終了する。

(D)「1」書き込みの場合：書き込み信号WEが高電位「1」に変化することで、プリチャージトランジスタP14はオフし、書き込みビット線WBLへのプリチャージを終了する。書き込み信号WEが高電位「1」となり、反転書き込みデータ線WDLBの低電位「0」が書き込みトランジスタN14を経由して書き込みビット線WBLは低電位「0」と変える。メモリセルの書き込みワード線信号WWLが高電位「1」となり、書き込みビット線WBLのデータ「0」をメモリセルの第2データ記憶に書き込むことで第1データ記憶ノードには「1」書き込みされる。書き込みワード線信号WWL、書き込み信号WEは低電位「0」に戻ることで「1」書き込みが終了する。

以上、半導体記憶装置を構成する各種のメモリセル、センスアンプにつき説明しました。次にこれらを使用した半導体記憶装置を実現するためのレイアウトについて説明する。

[第10実施例]

本発明の第10実施例は、半導体記憶装置におけるレイアウトとして、SRAMセルのレイアウトの一実施例を示す。図26には第2実施例に用いたSRAMセル(図10)の1セル分のレイアウト、図27には第3実施例に用いたSRAMセル(図11(A))の1セル分のレイアウト、図28には第2実施例に用いたSRAMセル(図10)の2セル分のレイアウト、図29には第3実施例に用いたSRAMセル(図11(A))の2セル分のレイアウトを示す。さらに図30(A)、(B)、(C)、(D)にメモリセルを行列状に配置したセルアレイの一実施例を示す。

図26により説明する。SRAMセルはCMOSで構成されるためNMOSトランジスタが形成されるPwell領域とPMOSトランジスタが形成されるNwell領域とを有する。本発明のSRAMセルはPMOSトランジスタ2個、NMOSトランジスタ5個で構成されることから、図26(A)に示すように中央部にNwell領域、その両側にPwell領域とし、片側のPwell領域の高さが高く、1セルとしてはL字形の領域とする。図26(B)に概略素子配置、(C)

に信号線及び電源配線を示す。

左側の $Pw e 1 1$ 領域には NMOS トランジスタ $N 4$ 、 $N 5$ 、 $N 2$ を配置し、中央の $Nw e 1 1$ 領域には PMOS トランジスタ $P 1$ 、 $P 2$ を配置し、右側の $Pw e 1 1$ 領域には NMOS トランジスタ $N 1$ 、 $N 3$ が配置される。図 26 (B) において、セル内の配線であるデータ記憶ノード $V 1$ 及び $V 2$ に関する配線はセル内で完結するため図の実線で示され、それらの接続点を黒丸にて示す。

図 26 (C) の黒丸はコンタクトあるいはスルホールによる接続点を示し、SRAMセルへの信号線及び電源配線の取り込み点である。信号線及び電源配線はSRAMセルの境界領域にてセルへ接続させる。トランジスタのゲートに入力されるワード線信号 RWL 、書き込みワード線信号 WWL 及び反転ワード線信号は図の X 軸方向に配線される。トランジスタのドレイン又はソースに入力されるビット線及び電源配線は Y 軸方向に配線される。セル領域の L 字型の高さの低い不連続となる辺の境界において電源電位 VDD 及び接地電位で終端されている。

図 27 は第 3 実施例に用いた SRAMセル (図 11 (A)) の 1 セル分のレイアウトを示し、(A) に概略素子配置、(B) に信号線及び電源配線を示す。図 26 との相違点は書き込みビット線が追加されている点が異なり、他のレイアウトは同じであり、その説明は省略する。

図 28、図 29 には、SRAMセルの 2 セル分を積み上げた形のレイアウトを示す。2 セルに対するレイアウトでは、1 セル分のレイアウトを反転させて積み上げている。従って図においては上段が前記したレイアウトであり、下段のセルは境界に対しミラー配置されている。さらに反転ワード線信号 WLB を 2 セルに対し共通化して、1 本の信号線として取り込むために第 2 インバータのドライブトランジスタ $N 2$ と、保持制御トランジスタ $N 5$ との位置が変更されている。しかし、反転ワード線信号 WLB の共通化及びドライブトランジスタ $N 2$ と、保持制御トランジスタ $N 5$ との位置変更はなくても良い。その他の (A) 概略素子配置、(B) 信号線及び電源配線に関しては、図示のとおりである。

図 30 にメモリセルを複数配置したセルブロックのレイアウトを示す。図 30 (A)、(B) には X 方向に 2 ビット、 Y 方向に 8 ビットである 2×8 ビットのセル

ブロック A, Bを示し、図 30 (C)、(D) には X 方向に 2 ビット、Y 方向に 2×8 ビットである 2×16 ビットのセルブロック C, Dを示す。図 30 (A) のセルブロック Aは、図 26 又は図 27 に示すメモリセルを 3 方向にそれぞれミラー反転させ、これらを 4 個積み上げ、 2×8 ビット構成としたセルブロックのレイアウトであり、セルブロックの終端はメモリセルの L 字形の底の連続した辺となっている。図 30 (B) のセルブロック Bは、図 30 (A) の変形であり、 2×8 ビット構成のセルブロックのレイアウトにおけるセルブロックの終端がメモリセルの L 字形の不連続した辺となっている点が異なる。

さらに図 30 (C)、(D) には図 28 又は図 29 に示すメモリセルを 3 方向にそれぞれミラー反転させ、これらを 4 個積み上げ、 2×16 ビット構成のセルブロックであり (C) のセルブロック Cは終端が連続、(D) のセルブロック Dの終端は不連続であるセルブロックのレイアウトを示す。ここでメモリセルをミラー反転させると、その中央部に空地となるセルの素子が配置されないスペースが生じ、セルの不連続となる。このスペースの辺は電源 VDD 及び接地電位 GND で終端されている。

本発明のセルレイアウトは、L 字形領域に有し、セル境界領域において信号線及び電源配線をセル内に取り込む。さらにセル領域の L 字型の高さの低い不連続となる辺の境界において電源電位 VDD 及び接地電位で終端されている。これらのメモリセルをレイアウトすることで高速、超低電圧動作可能な半導体記憶装置が実現できる。

[第 1 1 実施例]

本発明の第 1 1 実施例は、半導体記憶装置におけるレイアウトとして、センスアンプのレイアウトの一実施例を示す。本発明におけるセンスアンプはメモリセルをミラー配置したメモリセルの間に配置する。図 31 ～図 48 にその実施例を示す。

図 31 はセルブロック Aにおいてセンスアンプ SA11 を配置したレイアウト、図 32 はセルブロック Aにおいてセンスアンプ SA21 を配置したレイアウト、図 33 はセルブロック Aにおいてセンスアンプ SA23 を配置したレイアウト、図 34 はセルブロック Aにおいてセンスアンプ SA23 を配置したレイアウト、図 35

はセルブロック B においてセンスアンプ S A 2 3 を配置したレイアウトである。

図 3 1 においては、セルブロック A の左右のそれぞれ 8 ビットのメモリセルに対して、センスアンプ S A 2 1 が 1 つずつ配置レイアウトされる。しかしレイアウトとしては、それぞれの左右のスペースに分割して配置するだけではなく、セルブロックのスペースのうち上の部分のスペースを右側のセンスアンプのレイアウト領域、下の部分のスペースを左側のセンスアンプのレイアウト領域とする。このようにセルブロックの相手セル領域のスペースを使用することでセンスアンプ内の配線を 1 つのスペース内に収めることが出来る。センスアンプ内の配線を少なくするためには共有接続点を有する素子を近接配置させる。異なるスペースの配置されたユニットは入れ換えることも可能である。図示していないトランジスタ N 1 3 はセルブロックの上部及び下部にレイアウトされる。

このレイアウトの特徴は隣のセル領域のスペースにもレイアウトし、さらにセンスアンプ内の信号であるインバータ回路出力 B L B は隣のセル領域において配線する。接地電位 G N D 配線の一部を B L B の配線とし使用する一方、接地電位配線は複数の配線層で配線され、その配線層同士は接続されている。

図 3 2 においては、センスアンプ S A 1 1 に比較して追加された書き込みビット線 W B L 関係のトランジスタは、セルブロックの上部及び下部にレイアウトされる。

図 3 3 のレイアウトにおいても、図示していないトランジスタ N 1 3, N 1 4 は同様にセルブロックの上部及び下部にレイアウトされる。図 3 4 のレイアウトは、インバータ回路を構成するトランジスタを同一スペースに配置し、プリチャージ信号を同一スペースに配置することでプリチャージ信号配線を 1 本削減できる。さらに図 3 5 にはセルブロックの終端を不連続としたセルブロック B にセンスアンプ S A 2 3 レイアウトした一実施例である。図示していないトランジスタ N 1 3, N 1 4 は同様にセルブロックの上部及び下部にレイアウトされ、トランジスタ N 1 4 の配置時に書き込みワード線信号 W B L で拡散層と接続され面積削減できる。

さらに、図 3 6 ~ 図 4 8 にはこれらのメモリセルブロックと、そのセルに対して配置されたセンスアンプのレイアウト例を実施例として記載する。また図 4 7, 4 8 はセルブロック C の 2 × 1 6 ビット構成に対するセンスアンプ S A 1 1, S A 1

2のレイアウトである。従って16ビットに対して1個のセンスアンプを有する実施例である。

本発明のレイアウトにおいては、メモリセルが配置されたセルブロック内のスペースにセンスアンプを構成する素子を分割して配置レイアウトされ、隣のメモリセル領域に配線層が配置される。

[第12実施例]

本発明の第12実施例は、複数のセルブロックとサブワードデコーダとを備えたブロックが配置された半導体記憶装置に関する。図49に半導体記憶装置全体、図50にブロック、図51にサブワード回路構成を示す。

図49の半導体記憶装置は $8 \times M \times N$ ワード $\times 8$ ビット構成のメモリである。図示していない入出力回路からの制御信号により内部制御信号を生成するコントロールブロック、メインワードライバ、YデコーダとデータIO回路、メモリセルアレイから構成される(図49(A))。メモリセルアレイは図49(B)に示す $8 \times M \times N$ ワード $\times 8$ ビットのアレイはさらに複数の8ワード $\times 8$ ビットのブロックから構成される。図49(C)に示す8ワード $\times 8$ ビットのブロックは、8ワードのサブワードドライバ、と4個の8ワード $\times 2$ ビットのセルブロックからなる。

図50(A)に示すように、8ワードのうちいずれかのワード線を選択するサブワードドライバと、 8×8 ビットのメモリブロックとからなる。また図50は(B)には16ワード構成を示す。ここで8ワード $\times 2$ ビット構成のセルブロックには前述したセルブロック(A)又は(B)が採用され、16ワード $\times 2$ ビット構成のセルブロックには前述したセルブロック(C)又は(D)が採用される。

サブワードドライバSWDはメインワード信号として反転ワード線信号WLBと反転読み出しブロック選択信号RPB、反転ワード線信号WLBと反転書き込みブロック選択信号WPBとを入力とする2入力NOR回路からなり、それぞれの入力が低電位「0」の場合にはワード線が選択される。

サブワードドライバSWD2は読み出し、書き込みワード線をそれぞれ2本備えて構成されている。メインワード信号として反転ワード線信号WLBと反転読み出しブロック選択信号RPB(1又は0)、反転ワード線信号WLBと反転書き込み

ブロック選択信号WPB(1又は0)とを入力とする2入力NOR回路を2組備え、それぞれの入力が高電位「1」の場合にはワード線が選択される。

図51にサブワードドライバの一実施例の回路構成を示す。読み出しサブワードドライバはメインワード信号としての反転ワード線信号WLBと、読み出しブロック選択信号RPと、反転読み出しブロック選択信号RPBとが入力される。PMOSトランジスタP1とNMOSトランジスタN1とからなるインバータ回路はメインワード信号である反転ワード線信号WLBが入力され、負荷トランジスタP1のソースには読み出しブロック信号RPが入力される。

ドライブトランジスタN1のソースは接地電位GNDに接続され、トランジスタP1, N1のドレインから読み出しワード線信号RWLが出力される。さらにインバータの出力にはNMOSトランジスタN2のドレインが接続され、そのソースは接地電位GND、ゲートには反転読み出しブロック信号RPBが入力される。この回路構成においては2入力NOR回路を3個のトランジスタで構成され、反転ワード線信号WLBと反転読み出しブロック選択信号RPBが低電位、読み出しブロック選択信号RPが高電位の場合に読み出しワード線信号RWLが選択される。

書き込みサブワードドライバはメインワード信号としての反転ワード線信号WLBと、書き込みブロック選択信号WPと、反転書き込みブロック選択信号WPBとが入力される。PMOSトランジスタP2とNMOSトランジスタN3とからなるインバータ回路はメインワード信号である反転ワード線信号WLBが入力され、負荷トランジスタP2のソースには書き込みブロック信号WPが入力される。

ドライブトランジスタN3のソースは接地電位GNDに接続され、トランジスタP2, N3のドレインから書き込みワード線信号WWLが出力される。さらにインバータの出力にはNMOSトランジスタN4のドレインが接続され、そのソースは接地電位GND、ゲートには反転書き込みブロック信号WPBが入力される。

この回路構成においては2入力NOR回路を3個のトランジスタで構成され、反転ワード線信号WLBと反転書き込みブロック選択信号WPBが低電位、書き込みブロック選択信号WPが高電位の場合に書き込みワード線信号WWLが選択される。

本発明のサブワードドライバ回路はメインワード信号、ブロック選択信号及び反転ブロック信号を入力とした３個のトランジスタから構成されるNORゲートからなる。また本発明の半導体記憶装置は前述したサブワードドライバ回路、又はセンスアンプ、又はメモリセルから構成されることにより超高速、超低電圧動作可能となる。

以上、本願発明の実施例を図面により詳述してきたが、具体的な構成はこれらの実施例に限定されるものではなく、発明の要旨を逸脱しない範囲の変更があっても含まれる。例えば、センスアンプはメモリセルとしてSRAMセルのみでなく読み出しビット線が１本である全てのメモリセルに適用可能である。

産業上の利用可能性

本発明による半導体記憶装置は、そのメモリセルとしてデータ記憶ノードに接続するトランジスタによりデータ記憶ノードのデータ保持を、保持持続の際には「静的」に、アクセスの際には「動的」にと、動作状態に応じてデータ保持方法を切り替えることによって、読み出し操作に伴う記憶データの破壊を防止している。センスアンプはビット線の１入力で読み出す新規の構成とし、メモリセルアレイ中に分割した配置した。超高速、超低電圧にて動作する半導体記憶装置を小面積で効率よく実現でき、すべての半導体記憶装置に適用できる。

請求の範囲

1. 半導体記憶装置において、ループ接続されて第1及び第2のデータ記憶ノードを形成する第1及び第2のインバータ回路を備え、前記第2のインバータ回路のドライブトランジスタに直列に接続された保持制御手段をさらに備えたメモリセルを有することを特徴とする半導体記憶装置。
2. 請求項1記載の半導体記憶装置において、前記メモリセルは前記第1及び第2のデータ記憶ノードにそれぞれアクセスする第1及び第2のアクセス手段をさらに備え、前記第1のアクセス手段は読み出し信号により活性化され読み出しビット線と前記第1データ記憶ノードとの間でデータ伝達し、前記第2のアクセス手段は書き込み信号により活性化され書き込みビット線と前記第2データ記憶ノードとの間でデータ伝達することを特徴とする半導体記憶装置。
3. 請求項1記載の半導体記憶装置において、前記メモリセルは前記第1及び第2のデータ記憶ノードにアクセスする第1及び第2のアクセス手段をさらに備え、前記第1のアクセス手段は読み出し信号により活性化され読み出しビット線と前記第1データ記憶ノードとの間でデータ伝達し、前記第2のアクセス手段は書き込み信号により活性化され前記第2データ記憶ノードをリセットすることを特徴とする半導体記憶装置。
4. 請求項2又は請求項3記載の半導体記憶装置において、前記メモリセルを構成する前記第1及び第2のインバータ回路はCMOSインバータ回路であり、前記第1及び第2のアクセス手段及び前記保持制御手段はNMOSトランジスタで形成されたことを特徴とする半導体記憶装置。
5. 半導体記憶装置において、メモリセルとのデータ伝達を行うビット線と、入出力回路とのデータ伝達を行うデータ線と、前記ビット線を入力とするインバータ回路と、該インバータ回路の出力を前記データ線に伝達するデータ読み出し手段と、書き込み信号により活性化され前記データ線からのデータを前記ビット線に伝達するデータ書き込み手段とを備えたセンスアンプを有することを特徴とする半導体記憶装置。

6. 請求項5記載の半導体記憶装置において、前記センスアンプはビット線をプリチャージするプリチャージ手段と、前記インバータ回路の出力を入力され前記ビット線のレベルを維持するレベル維持手段とをさらに備えたことを特徴とする半導体記憶装置。

7. 請求項6記載の半導体記憶装置において、前記センスアンプにおける前記データ線は前記読み出し手段に接続された読み出しデータ線と、前記書き込み手段に接続された書き込みデータ線とから構成されたことを特徴とする半導体記憶装置。

8. 請求項6記載の半導体記憶装置において、前記センスアンプは書き込みビットに接続された書き込みプリチャージ手段と、反転書き込みデータ線からの反転書き込みデータを前記書き込みビット線に伝達する第2の書き込み手段とをさらに備えたことを特徴とする半導体記憶装置。

9. 請求項7記載の半導体記憶装置において、前記センスアンプは書き込みビットに接続された書き込みプリチャージ手段と、反転書き込みデータ線からの反転書き込みデータを前記書き込みビット線に伝達する第2の書き込み手段とをさらに備えたことを特徴とする半導体記憶装置。

10. 請求項6記載の半導体記憶装置において、前記センスアンプは前記インバータ回路の出力に接続された書き込みビットと、反転書き込みデータ線からの反転書き込みデータを前記書き込みビット線に伝達する第2の書き込み手段とをさらに備えたことを特徴とする半導体記憶装置。

11. 請求項7記載の半導体記憶装置において、前記センスアンプは前記インバータ回路の出力に接続された書き込みビットと、反転書き込みデータ線からの反転書き込みデータを前記書き込みビット線に伝達する第2の書き込み手段とをさらに備えたことを特徴とする半導体記憶装置。

12. 請求項7記載の半導体記憶装置において、前記センスアンプは前記インバータ回路の出力に接続された書き込みビットと、前記書き込みデータ線からの信号をゲート入力とし、ソースを接地電位に、ドレインを前記書き込みビット線に接続された書き込みトランジスタとをさらに備えたことを特徴とする半導体記憶装

置。

1 3. 請求項 6 記載の半導体記憶装置において、前記センスアンプは反転書き込みデータ線に接続された書き込みビット線をさらに備えたことを特徴とする半導体記憶装置。

1 4. 請求項 7 記載の半導体記憶装置において、前記センスアンプは反転書き込みデータ線に接続された書き込みビット線をさらに備えたことを特徴とする半導体記憶装置。

1 5. 半導体記憶装置において、メモリセルとのデータ伝達を行うビット線及び書き込みビット線と、入出力回路とのデータ伝達を行う読み出しデータ線及び反転書き込みデータ線と、前記ビット線を入力とするインバータ回路と、該インバータ回路の出力を前記読み出しデータ線に伝達するデータ読み出し手段と、書き込み信号により活性化され前記反転書き込みデータ線からのデータを前記書き込みビット線に伝達するデータ書き込み手段と、前記ビット線をプリチャージするプリチャージ手段と、前記インバータ回路の出力を入力され前記ビット線のレベルを維持するレベル維持手段と、を備えたセンスアンプを有することを特徴とする半導体記憶装置。

1 6. 半導体記憶装置において、メモリセルとのデータ伝達を行うビット線及び書き込みビット線と、入出力回路とのデータ伝達を行う読み出しデータ線及び反転書き込みデータ線と、前記ビット線を入力とするインバータ回路と、該インバータ回路の出力を前記読み出しデータ線に伝達するデータ読み出し手段と、前記ビット線をプリチャージするプリチャージ手段と、前記インバータ回路の出力を入力され前記ビット線のレベルを維持するレベル維持手段と、を備え、前記書き込みビット線は前記反転書き込みデータ線に直結されたセンスアンプを有することを特徴とする半導体記憶装置。

1 7. 半導体記憶装置において、メインワード信号と、読み出しブロック選択信号及び反転読み出しブロック選択信号とにより読み出しワード線を選択し、メインワード信号と、書き込みブロック選択信号及び反転書き込みブロック選択信号とにより書き込みワード線を選択するサブワードドライバを有することを特徴とす

る半導体記憶装置。

18. 請求項17記載の半導体記憶装置において、前記サブワードドライバは前記メインワード信号を入力とし読み出しワード線信号を出力する第1のインバータ回路と、前記読み出しワード線信号をドレインに接続された第1のトランジスタとを備え、前記第1のインバータ回路は前記読み出しブロック選択信号と接地電位との間に形成され、前記第1のトランジスタのゲートは前記反転読み出しブロック信号に、ソースは接地電位に接続されたことを特徴とする半導体記憶装置。

19. 請求項17記載の半導体記憶装置において、前記サブワードドライバは前記メインワード信号を入力とし書き込みワード線信号を出力する第2のインバータ回路と、前記書き込みワード線信号をドレインに接続された第2のトランジスタとを備え、前記第2のインバータ回路は前記書き込みブロック選択信号と接地電位との間に形成され、前記第2のトランジスタのゲートは前記反転書き込みブロック信号に、ソースは接地電位に接続されたことを特徴とする半導体記憶装置。

20. 半導体記憶装置において、メモリセルを構成する素子をL字形領域内にレイアウトされたことを特徴とする半導体記憶装置。

21. 請求項20記載の半導体装置において、前記メモリセルはNウェル領域の両側にPウェル領域を有し、前記Nウェル領域及びPウェル領域の一边は連続した辺であり、該連続した辺に対向する辺は不連続であり、前記Pウェル領域の一方が突出したL字形領域を形成することを特徴とする半導体記憶装置。

22. 請求項21記載の半導体装置において、前記Pウェル領域の高さが低い領域の辺から接地電位が、該辺に連続した前記Nウェル領域から電源電位が取り出されることを特徴とする半導体記憶装置。

23. 半導体記憶装置において、配置されたメモリセルをそれぞれ3方向にミラー反転させたメモリセルアレイは、その中央部に前記メモリセルを構成する素子が配置されない空スペースを有するようにレイアウトされたことを特徴とする半導体記憶装置。

24. 請求項23記載の半導体記憶装置において、前記空スペースにセンスアンプを構成する素子を配置するようにレイアウトされたことを特徴とする半導体

記憶装置。

25. 請求項24記載の半導体記憶装置において、前記センスアンプは読み出しの際にビット線からのセルデータをデータ線に伝えるインバータ回路と読み出しトランジスタと、書き込みの際にデータ線からのデータを前記ビット線に伝える書き込みトランジスタとであることを特徴とする半導体記憶装置。

26. 請求項24記載の半導体装置において、前記センスアンプの素子は隣接するメモリセル領域の空スペースに配置レイアウトされることを特徴とする半導体装置。

27. 請求項26記載の半導体装置において、前記センスアンプの配線は隣接するメモリセル領域に配置するようにレイアウトされたことを特徴とする半導体装置。

28. 請求項27記載の半導体装置において、前記センスアンプの配線は隣接するメモリセルの電源配線領域の一部に配置するようにレイアウトされたことを特徴とする半導体装置。

29. 請求項24記載の半導体装置において、前記メモリセルのN個（Nは8の倍数）毎に前記センスアンプ1個を配置するようにレイアウト配置レイアウトされたことを特徴とする半導体記憶装置。

30. 半導体記憶装置の読み出し方法において、メモリセルは、ループ接続されて第1及び第2のデータ記憶ノードを形成する第1及び第2のインバータ回路と、前記第1及び第2のデータ記憶ノードにそれぞれアクセスする第1及び第2のアクセス手段と、前記第2のインバータ回路のドライブトランジスタに直列に接続された保持制御手段と、を備え、

メモリセルの読み出しワード線が活性化されたとき、前記保持制御手段は前記第2のインバータ回路のドライブトランジスタをオフさせ、第1のアクセス手段はビット線と第1のデータ記憶ノードを接続し、メモリセルデータをビット線に読み出しことを特徴とする半導体記憶装置の読み出し方法。

31. 半導体記憶装置の書き込み方法において、メモリセルは、ループ接続されて第1及び第2のデータ記憶ノードを形成する第1及び第2のインバータ回路

と、前記第 1 及び第 2 のデータ記憶ノードにそれぞれアクセスする第 1 及び第 2 のアクセス手段と、前記第 2 のインバータ回路のドライブトランジスタに直列に接続された保持制御手段と、を備え

メモリセルの読み出し及び書き込みワード線が活性化されたとき、前記保持制御手段は前記第 2 のインバータ回路のドライブトランジスタをオフさせ、前記第 2 のアクセス手段は前記第 2 のデータ記憶ノードを低電位にリセットし、第 1 のアクセス手段はビット線と第 1 のデータ記憶ノードを接続させ、その後、書き込みワード線を非活性化し、ビット線のデータを第 1 のデータ記憶ノードに書き込むことを特徴とする半導体記憶装置の書き込み方法。

3 2. 半導体記憶装置の書き込み方法において、メモリセルは、ループ接続されて第 1 及び第 2 のデータ記憶ノードを形成する第 1 及び第 2 のインバータ回路と、前記第 1 及び第 2 のデータ記憶ノードにそれぞれアクセスする第 1 及び第 2 のアクセス手段と、前記第 2 のインバータ回路のドライブトランジスタに直列に接続された保持制御手段と、を備え

メモリセルの読み出し及び書き込みワード線が活性化されたとき、前記保持制御手段は前記第 2 のインバータ回路のドライブトランジスタをオフさせ、第 1 のアクセス手段はビット線と第 1 のデータ記憶ノードを接続させ、ビット線のデータを第 1 のデータ記憶ノードに書き込むとともに、第 2 のアクセス手段は書き込みビット線と第 2 のデータ記憶ノードを接続させ、書き込みビット線のデータを第 2 のデータ記憶ノードに書き込むことを特徴とする半導体記憶装置の書き込み方法。

3 3. 半導体記憶装置の書き込み方法において、メモリセルは、ループ接続されて第 1 及び第 2 のデータ記憶ノードを形成する第 1 及び第 2 のインバータ回路と、前記第 1 及び第 2 のデータ記憶ノードにそれぞれアクセスする第 1 及び第 2 のアクセス手段と、前記第 2 のインバータ回路のドライブトランジスタに直列に接続された保持制御手段と、を備え

前記メモリセルへの書き込み時には、前記保持制御手段は前記第 2 のインバータ回路のドライブトランジスタをオフさせ、前記第 2 のアクセス手段は書き込みビット線と前記第 2 のデータ記憶ノードを接続させ、前記書き込みビット線のデータを

前記第 2 のデータ記憶ノードに書き込むことを特徴とする半導体記憶装置の書き込み方法。

34. 請求項 1 記載の半導体記憶装置において、前記メモリセルとのデータ伝達を行うビット線と、入出力回路とのデータ伝達を行うデータ線と、前記ビット線を入力とするインバータ回路と、該インバータ回路の出力を前記データ線に伝達するデータ読み出し手段と、書き込み信号により活性化され前記データ線からのデータを前記ビット線に伝達するデータ書き込み手段とを備えたセンスアンプをさらに備えたことを特徴とする半導体記憶装置。

35. 請求項 3 記載の半導体記憶装置において、前記読み出しビット線に接続され、さらに、入出力回路とのデータ伝達を行うデータ線と、前記読み出しビット線を入力とするインバータ回路と、該インバータ回路の出力を前記データ線に伝達するデータ読み出し手段と、前記書き込み信号により活性化され前記データ線からのデータを前記ビット線に伝達するデータ書き込み手段とを備えたセンスアンプを備えたことを特徴とする半導体記憶装置。

36. 請求項 1 記載の半導体記憶装置において、前記メモリセルとのデータ伝達を行うビット線及び書き込みビット線と、入出力回路とのデータ伝達を行う読み出しデータ線及び反転書き込みデータ線と、前記ビット線を入力とするインバータ回路と、該インバータ回路の出力を前記読み出しデータ線に伝達するデータ読み出し手段と、書き込み信号により活性化され前記反転書き込みデータ線からのデータを前記書き込みビット線に伝達するデータ書き込み手段と、前記ビット線をプリチャージするプリチャージ手段と、前記インバータ回路の出力を入力され前記ビット線のレベルを維持するレベル維持手段と、を備えたセンスアンプをさらに備えたことを特徴とする半導体記憶装置。

37. 請求項 3 記載の半導体記憶装置において、前記読み出しビット線に接続され、さらに、前記メモリセルとのデータ伝達を行う書き込みビット線と、入出力回路とのデータ伝達を行う読み出しデータ線及び反転書き込みデータ線と、前記読み出しビット線を入力とするインバータ回路と、該インバータ回路の出力を前記読み出しデータ線に伝達するデータ読み出し手段と、前記書き込み信号により活性化

され前記反転書き込みデータ線からのデータを前記書き込みビット線に伝達するデータ書き込み手段と、前記読み出しビット線をプリチャージするプリチャージ手段と、前記インバータ回路の出力を入力され前記読み出しビット線のレベルを維持するレベル維持手段と、を備えたセンスアンプを備えたことを特徴とする半導体記憶装置。

38. 請求項1記載の半導体記憶装置において、前記メモリセルとのデータ伝達を行うビット線及び書き込みビット線と、入出力回路とのデータ伝達を行う読み出しデータ線及び反転書き込みデータ線と、前記ビット線を入力とするインバータ回路と、該インバータ回路の出力を前記読み出しデータ線に伝達するデータ読み出し手段と、前記ビット線をプリチャージするプリチャージ手段と、前記インバータ回路の出力を入力され前記ビット線のレベルを維持するレベル維持手段と、を備え、前記書き込みビット線は前記反転書き込みデータ線に直結されたセンスアンプをさらに備えたことを特徴とする半導体記憶装置。

39. 請求項3記載の半導体記憶装置において、前記読み出しビット線に接続され、さらにメモリセルとのデータ伝達を行う書き込みビット線と、入出力回路とのデータ伝達を行う読み出しデータ線及び反転書き込みデータ線と、前記ビット線を入力とするインバータ回路と、該インバータ回路の出力を前記読み出しデータ線に伝達するデータ読み出し手段と、前記ビット線をプリチャージするプリチャージ手段と、前記インバータ回路の出力を入力され前記ビット線のレベルを維持するレベル維持手段と、を備え、前記書き込みビット線は前記反転書き込みデータ線に直結されたセンスアンプを備えたことを特徴とする半導体記憶装置。

40. 請求項1記載の半導体記憶装置において、メインワード信号と、読み出しブロック選択信号及び反転読み出しブロック選択信号とにより読み出しワード線を選択し、メインワード信号と、書き込みブロック選択信号及び反転書き込みブロック選択信号とにより書き込みワード線を選択するサブワードドライバをさらに備えたことを特徴とする半導体記憶装置。

41. 請求項3記載の半導体記憶装置において、メインワード信号と、読み出しブロック選択信号及び反転読み出しブロック選択信号とにより読み出しワード

線を選択し、メインワード信号と、書き込みブロック選択信号及び反転書き込みブロック選択信号とにより書き込みワード線を選択するサブワードドライバをさらに有することを特徴とする半導体記憶装置。

4 2. 請求項 1 記載の半導体記憶装置において、前記メモリセルを構成する素子を L 字形領域内にレイアウトされたことを特徴とする半導体記憶装置。

4 3. 請求項 3 記載の半導体記憶装置において、前記メモリセルを構成する素子を L 字形領域内にレイアウトされたことを特徴とする半導体記憶装置。

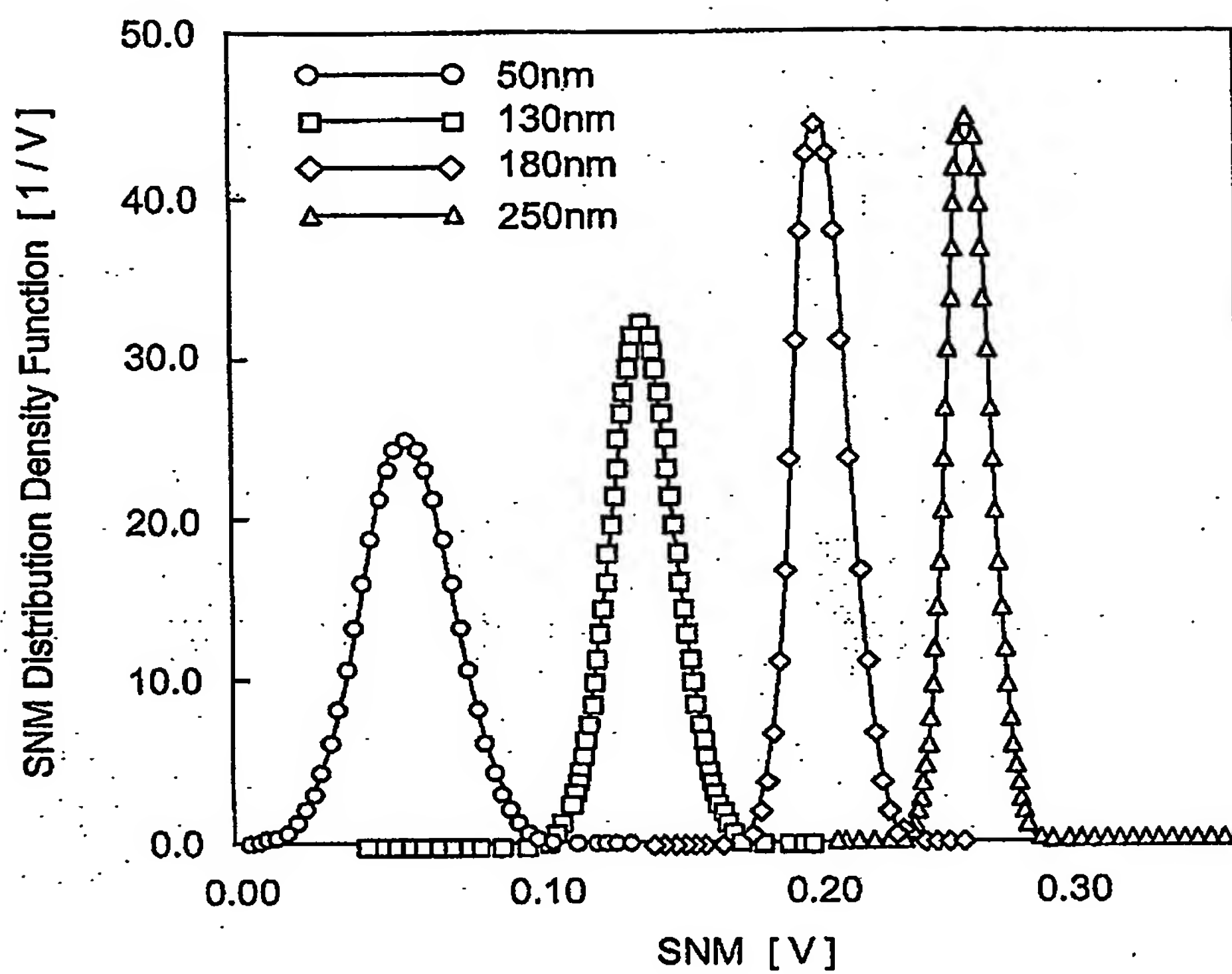


図 3

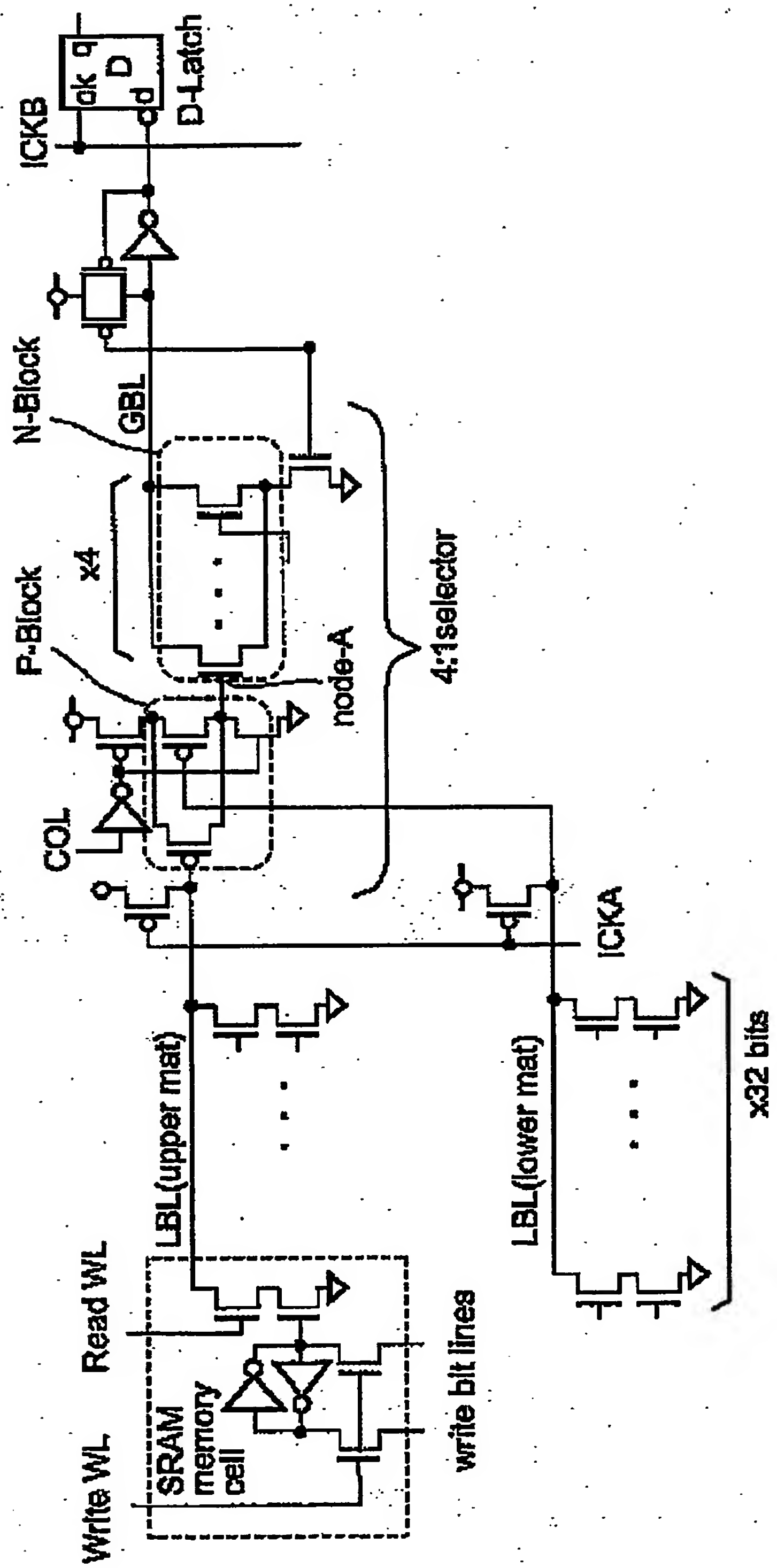


図 4

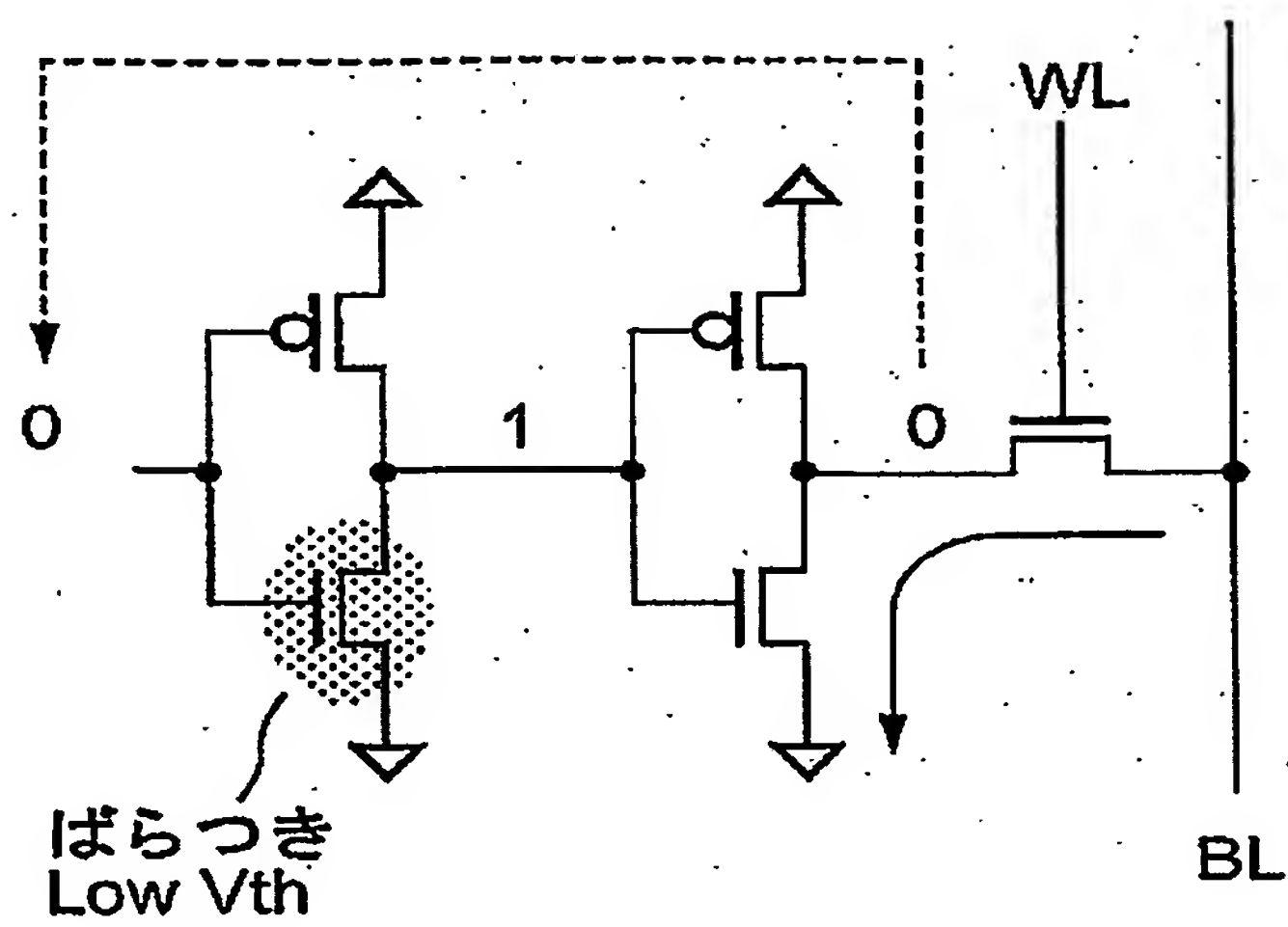


図 5

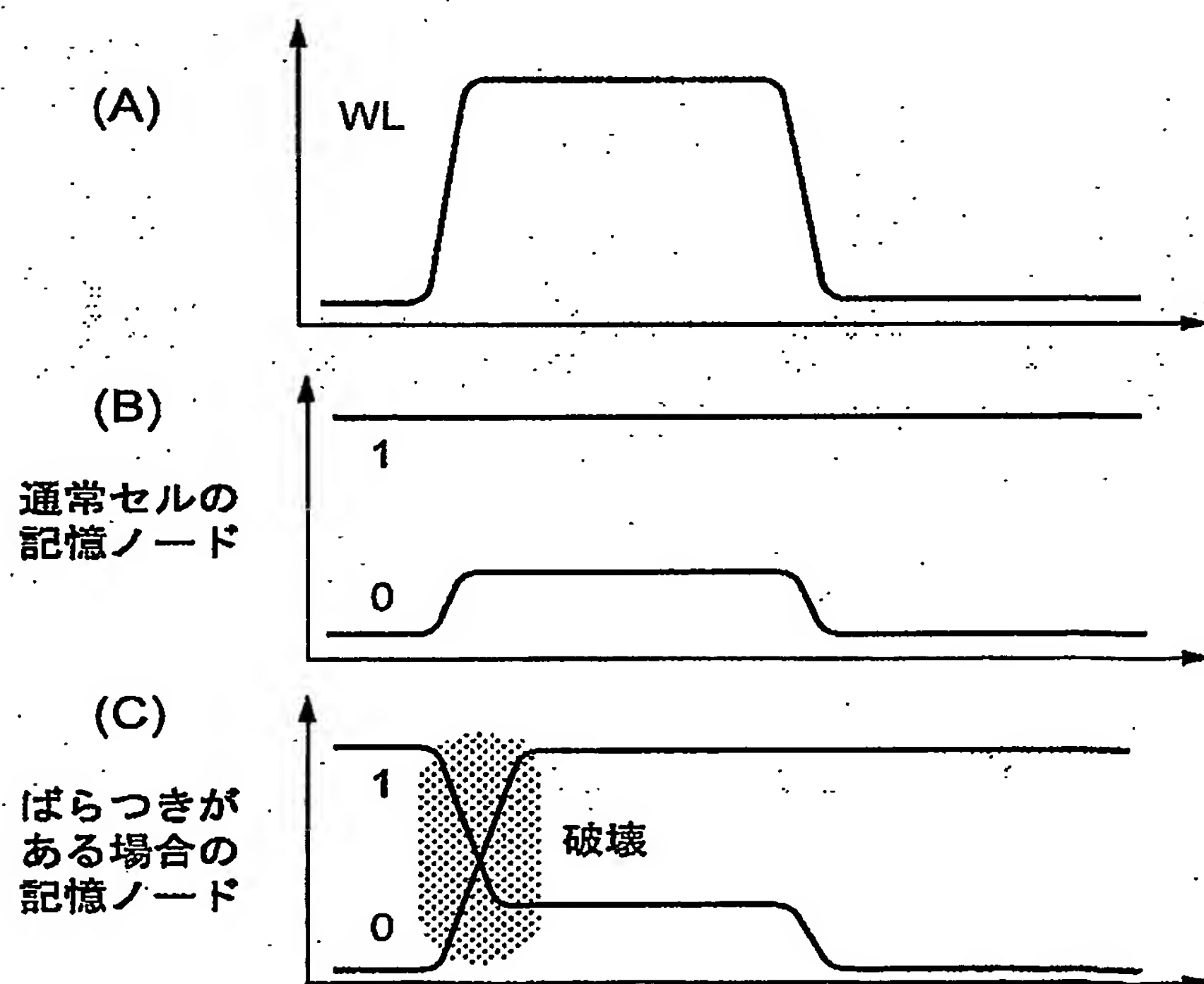


図 6

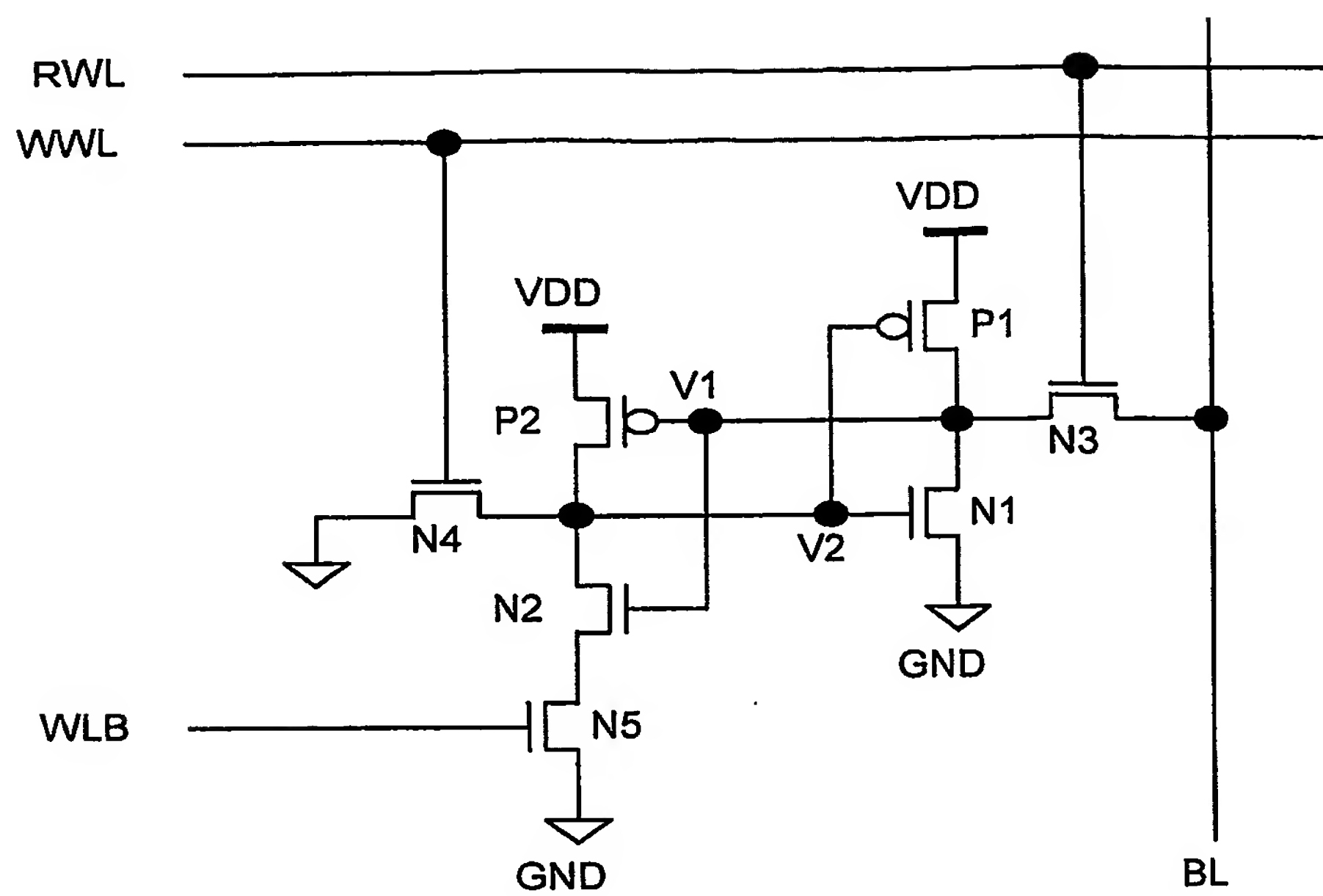


図 7

(A) 「0」読み出し

(B) 「1」読み出し

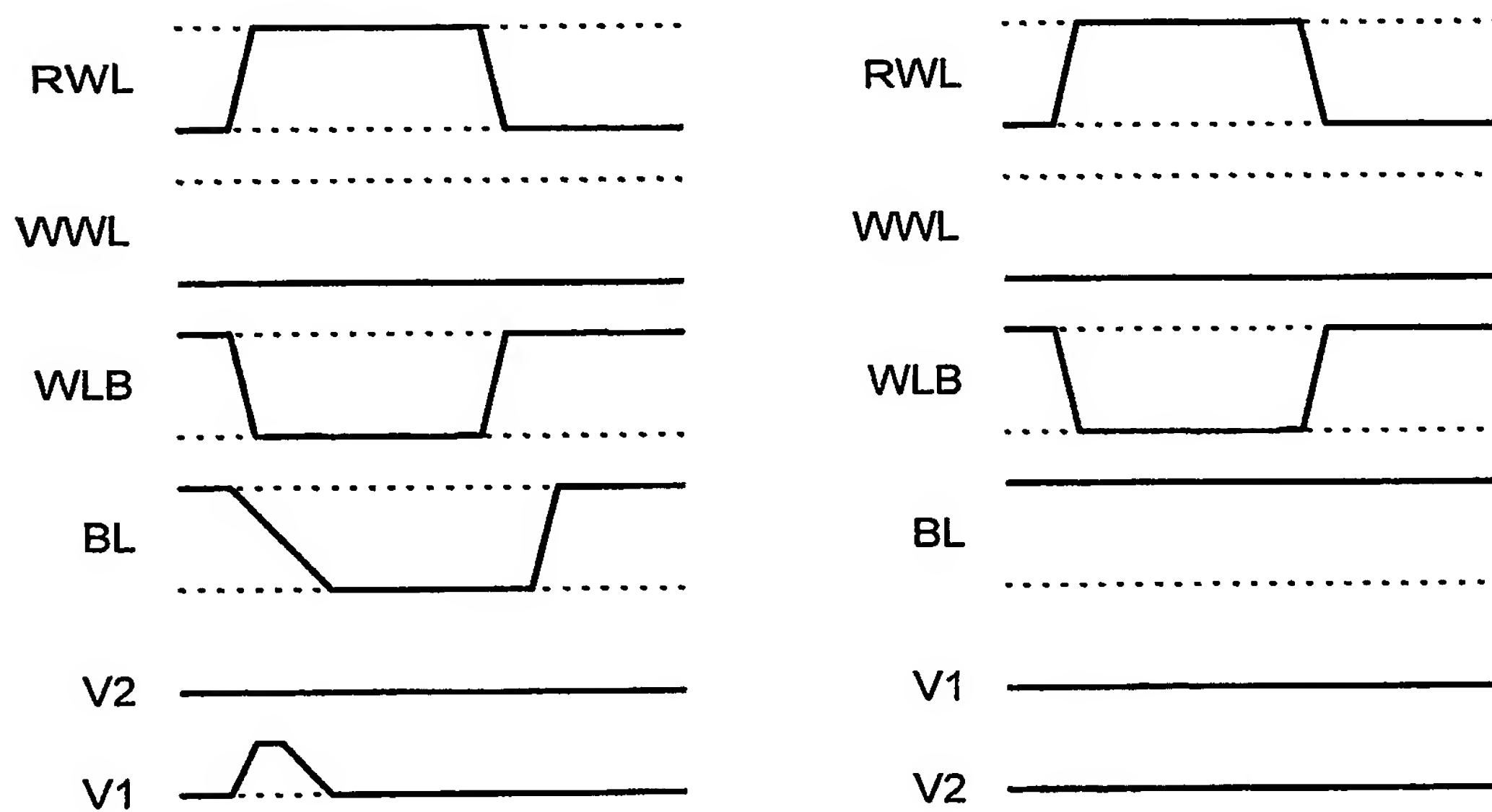


図 8

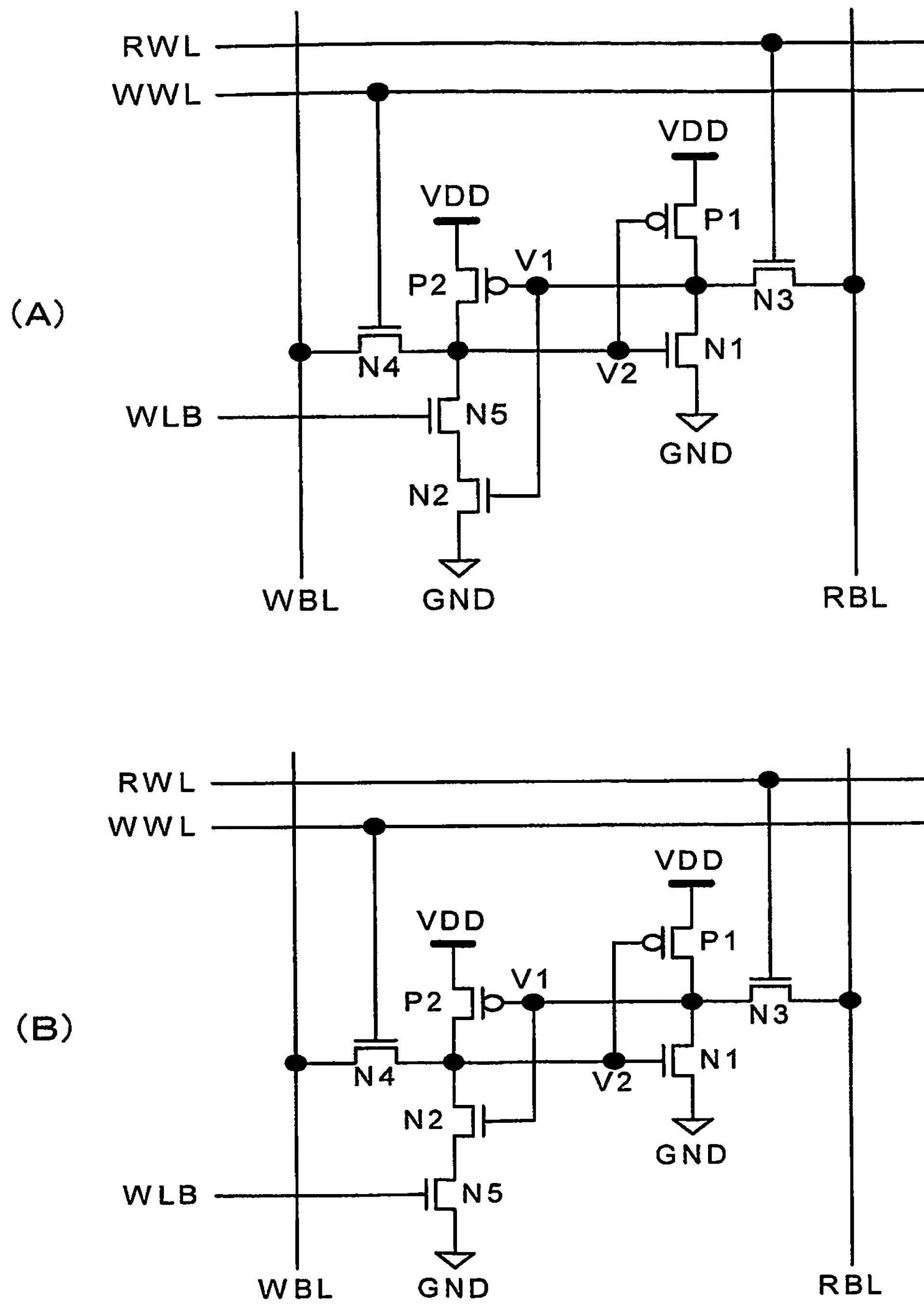


図 11

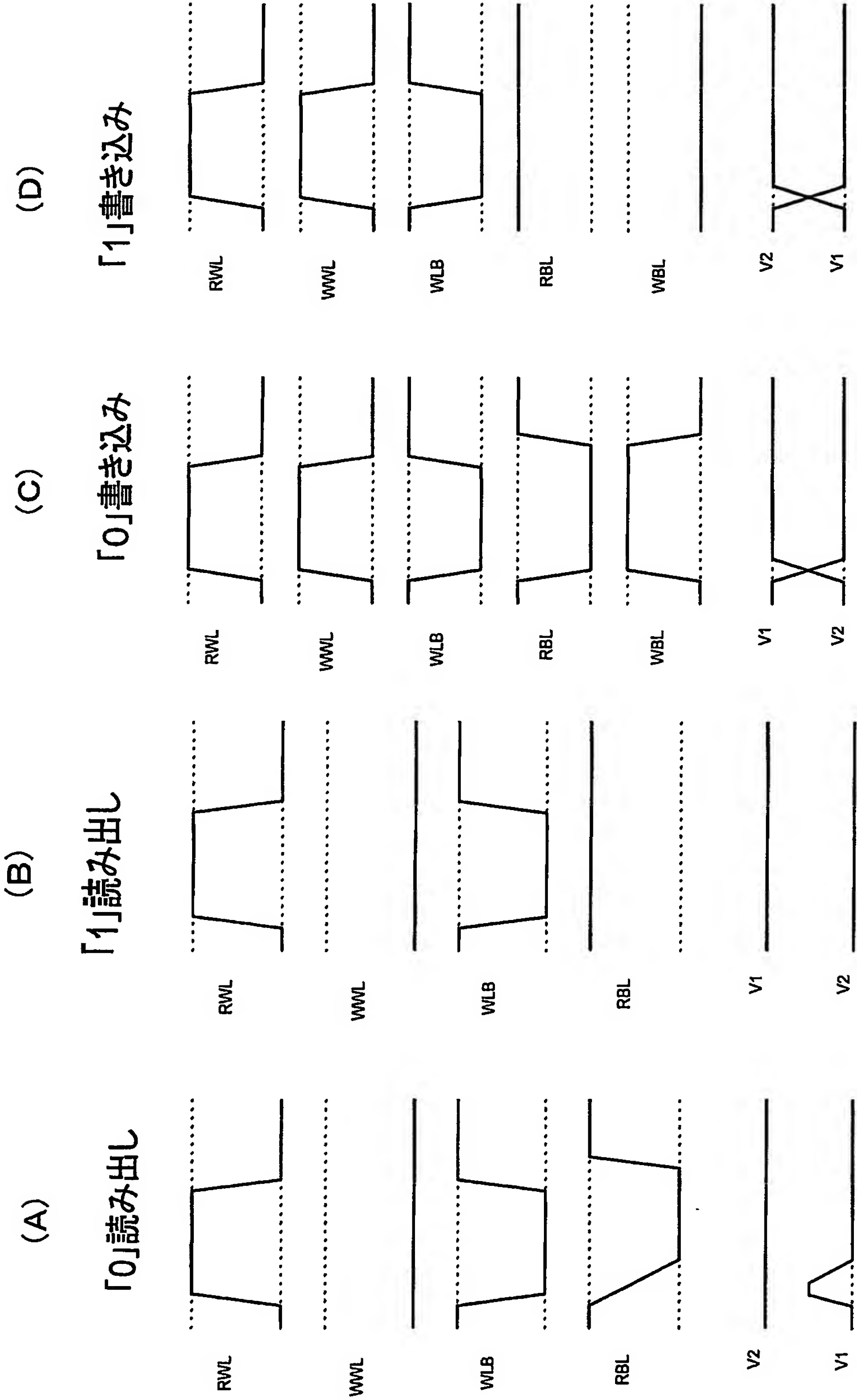


図 12

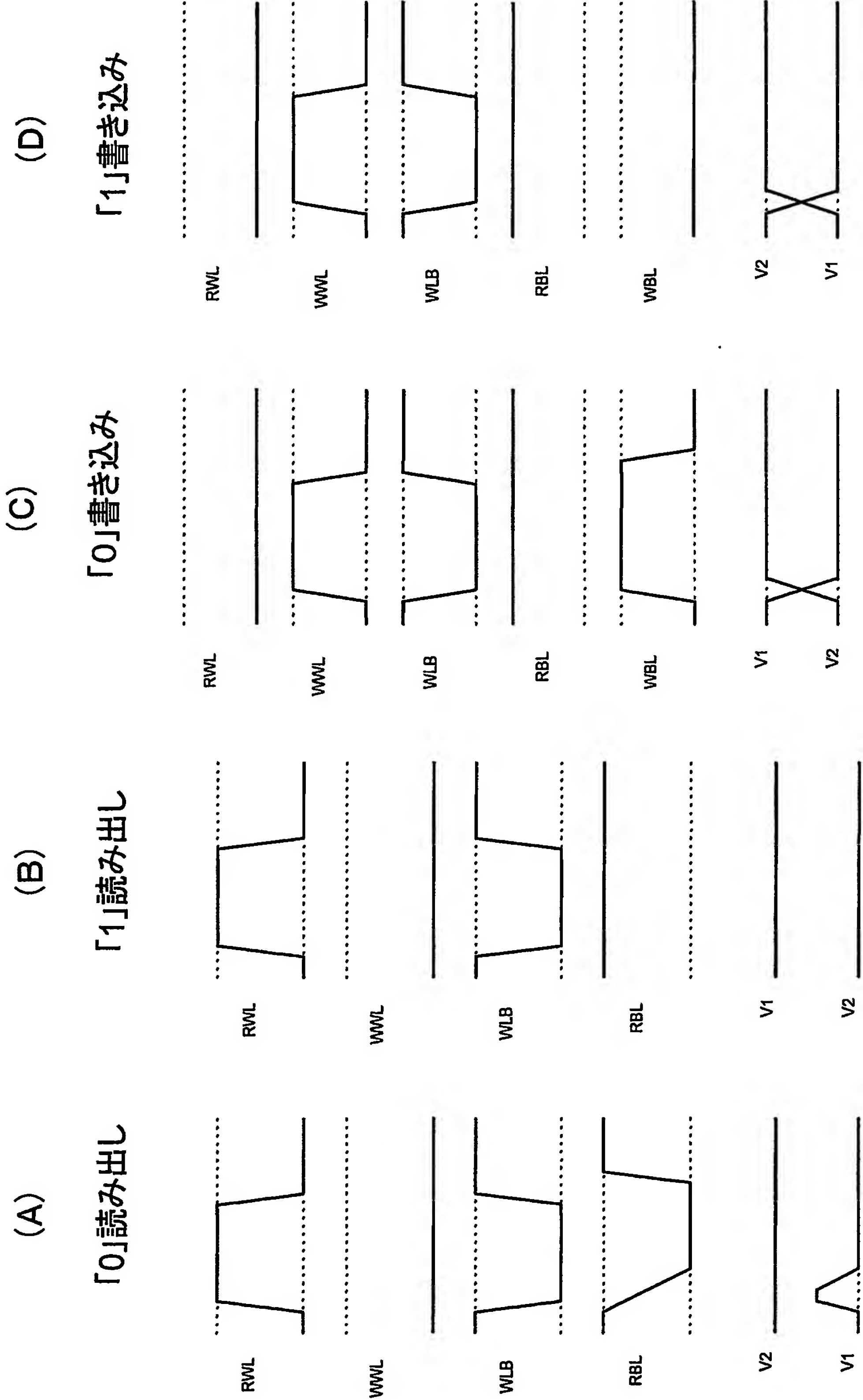


図 13

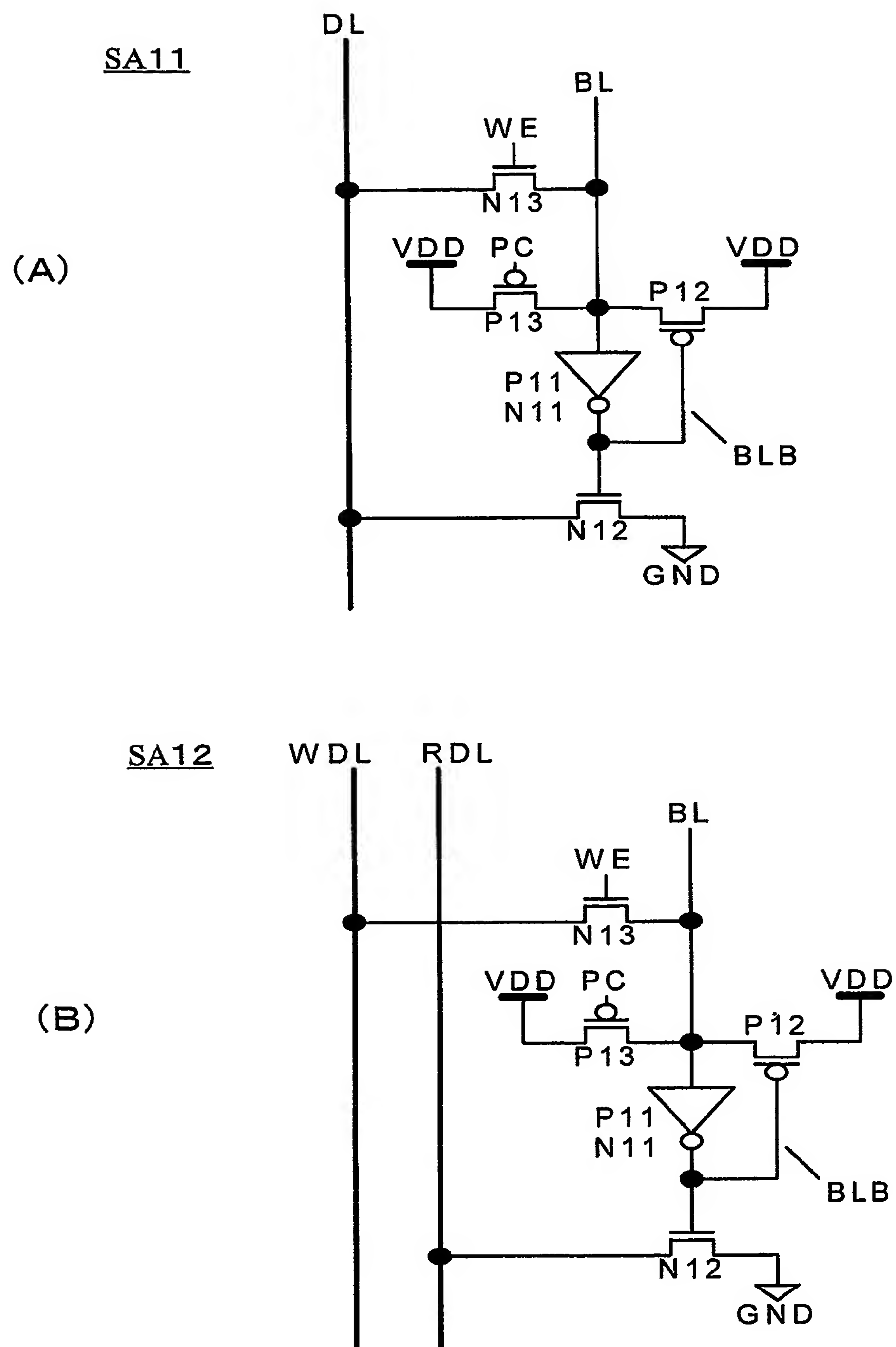


图 14

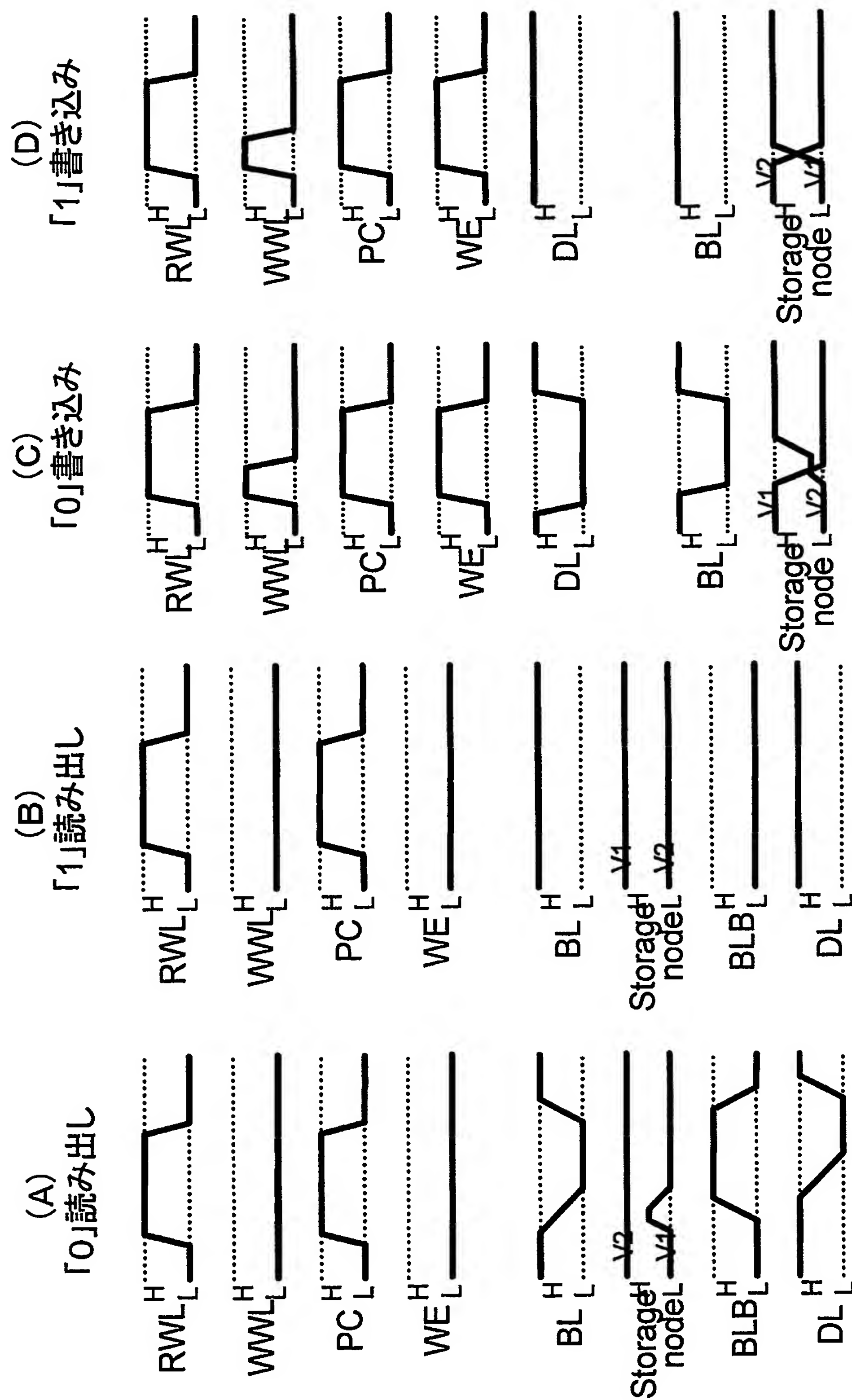
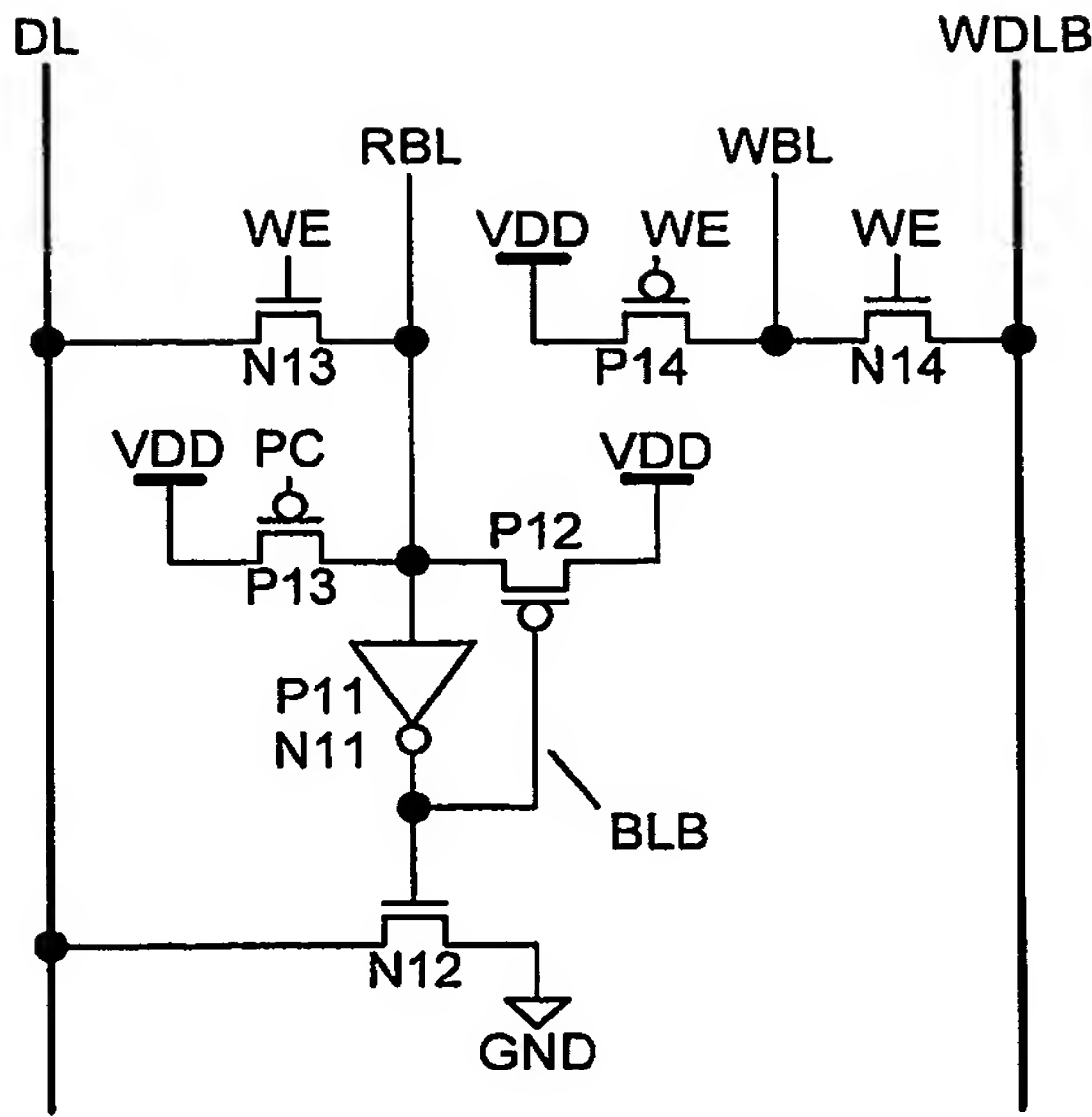


図 15

SA21

(A)



SA22

(B)

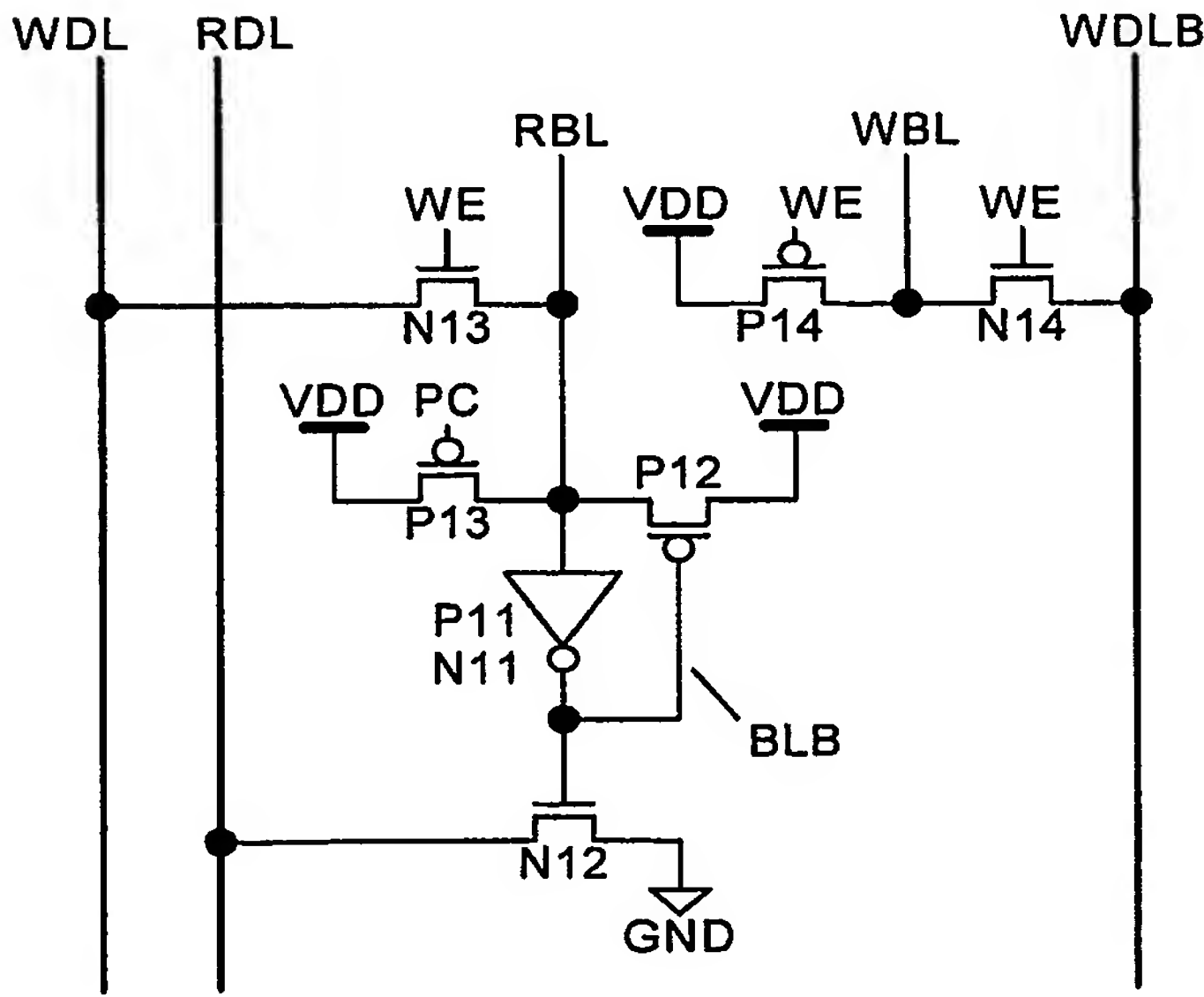


図 16

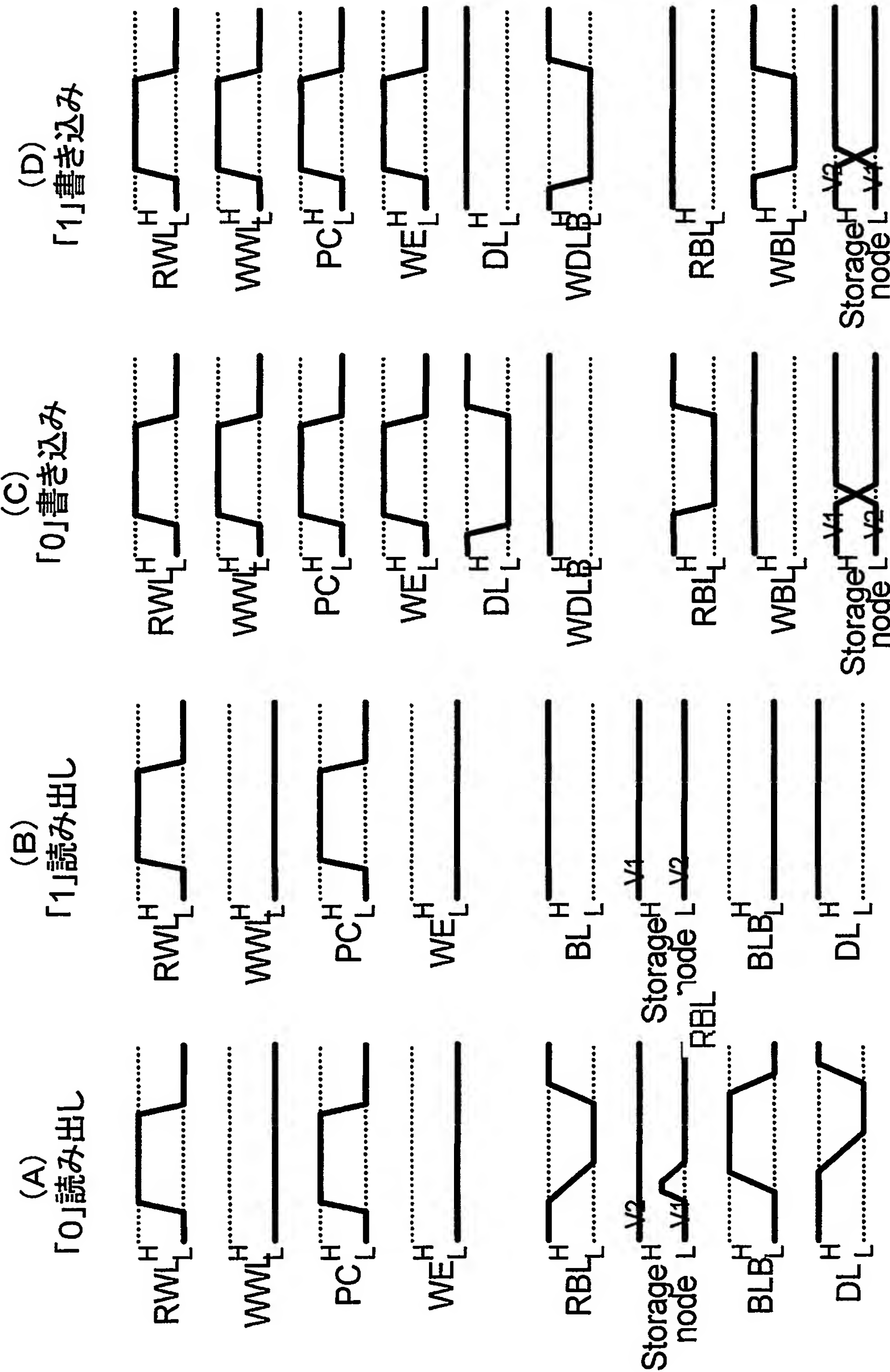
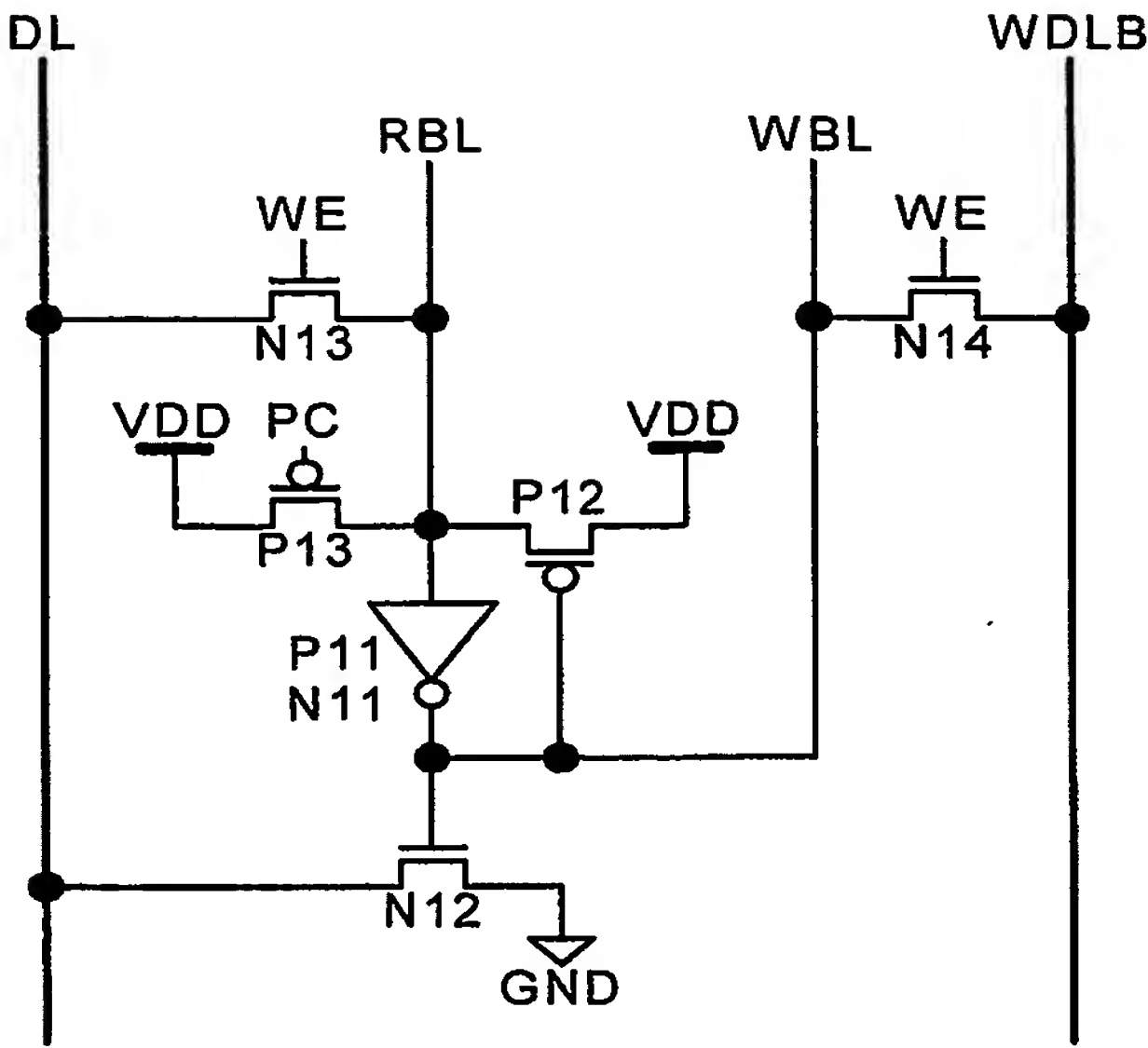


図 17

SA23

(A)



SA24

(B)

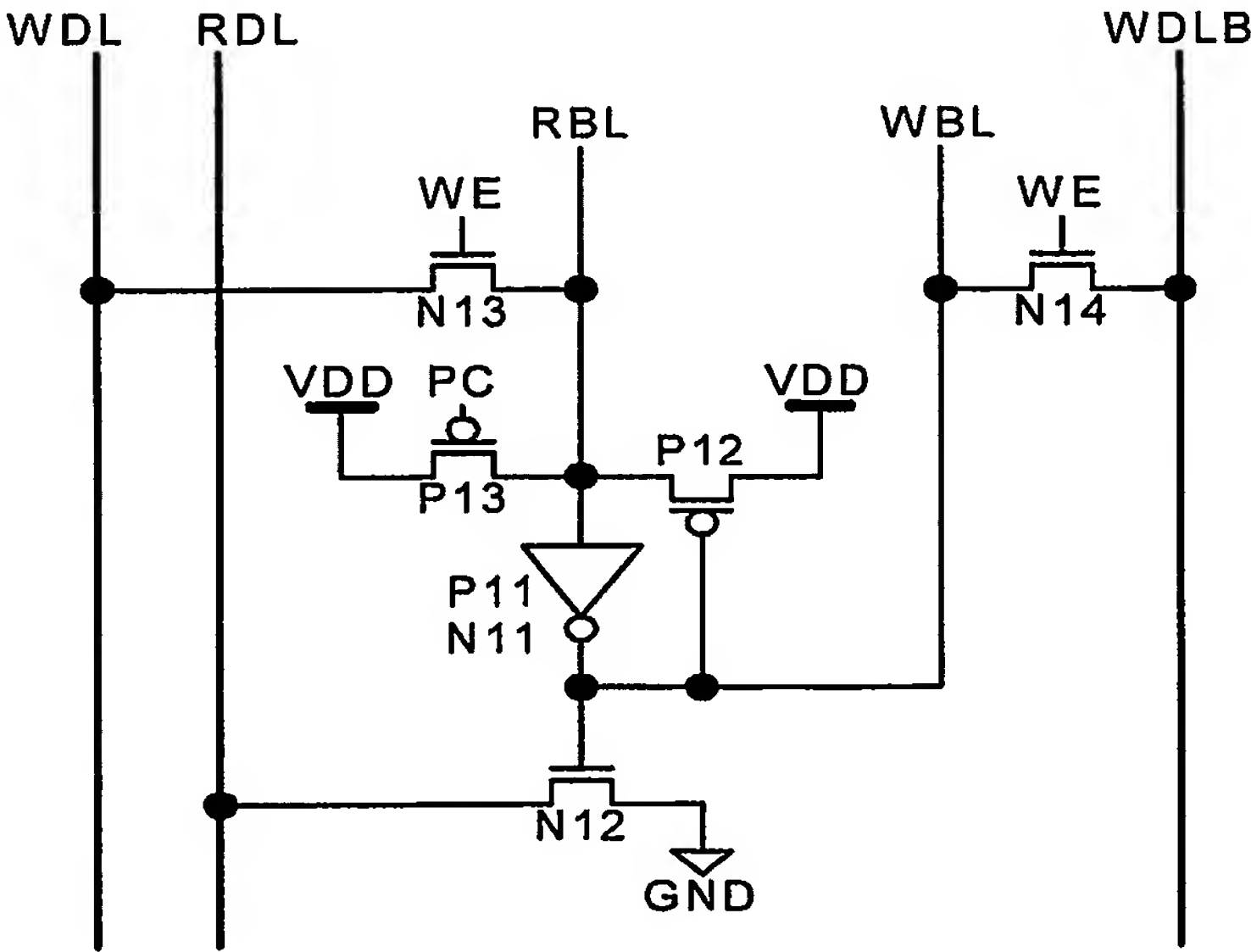


図 18

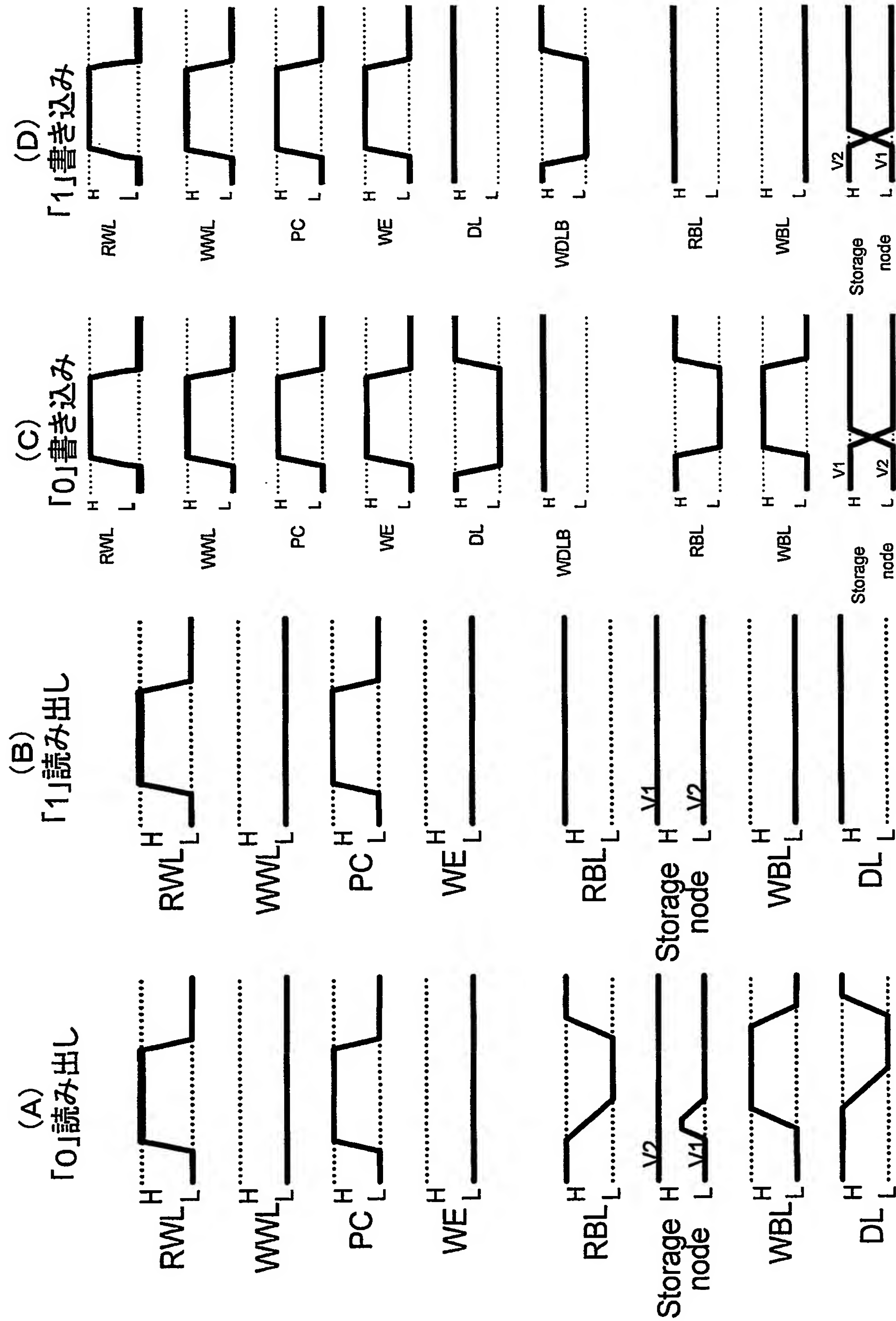


図 19

SA25

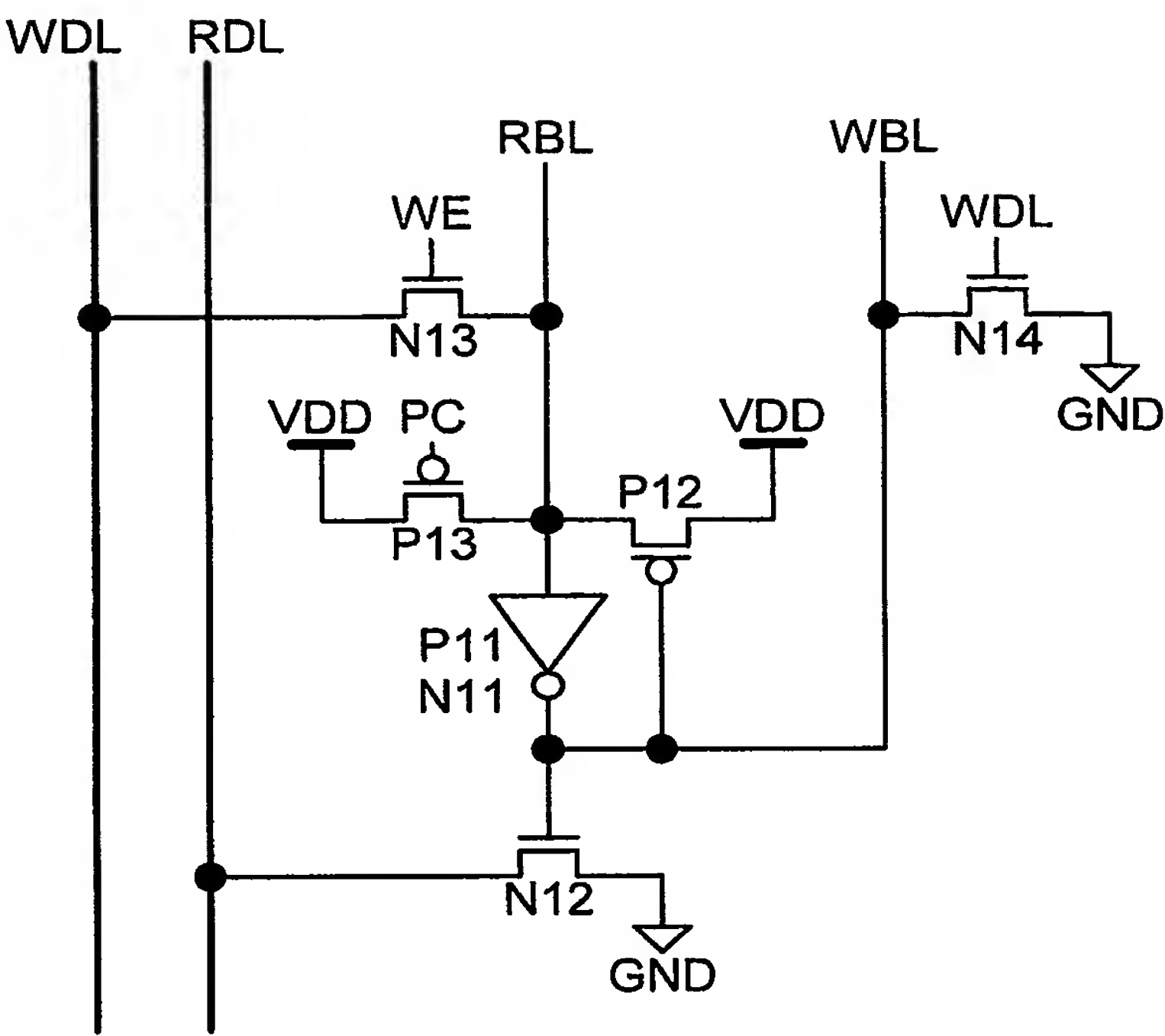


図 20

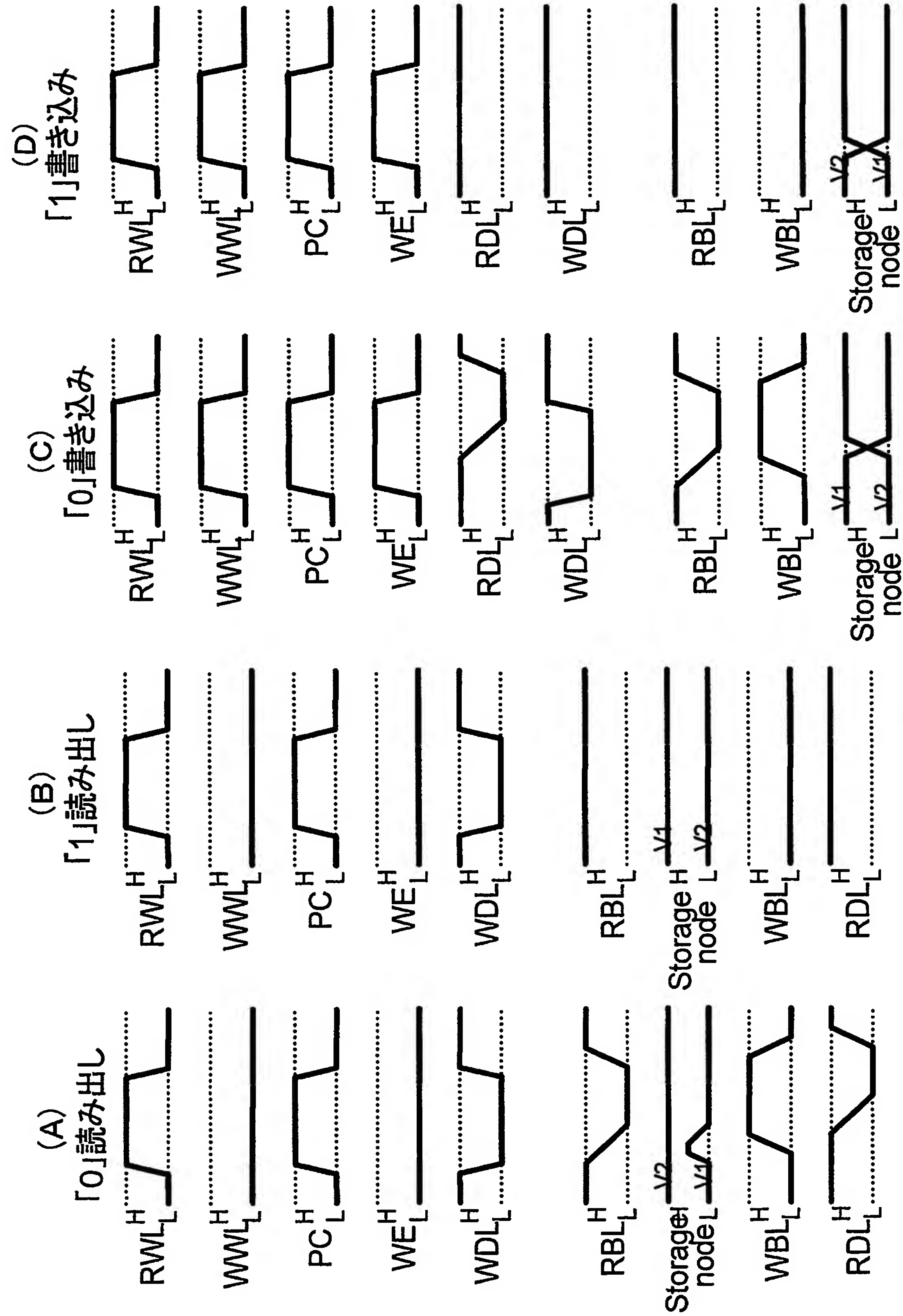
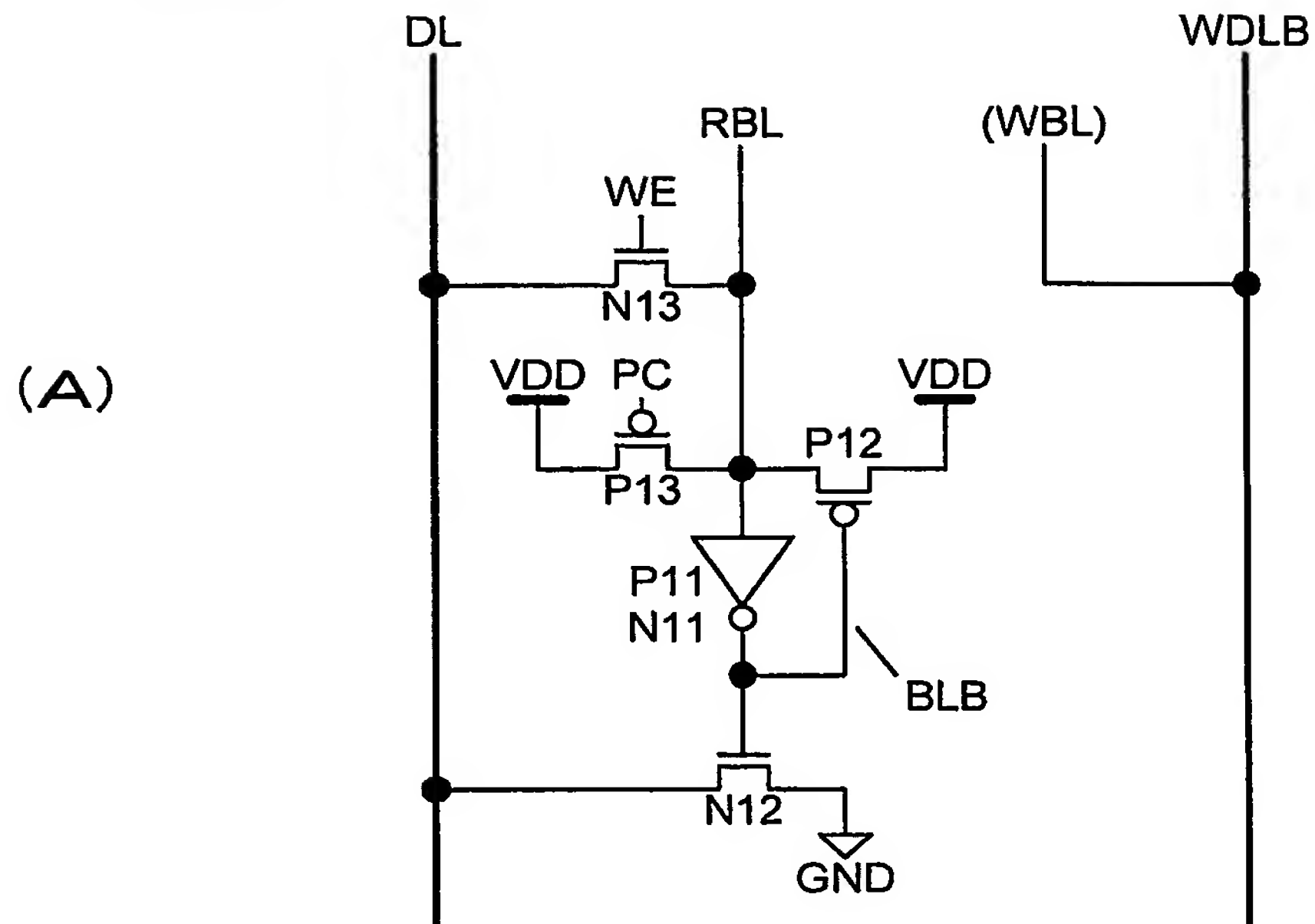


図 21

SA26



SA27

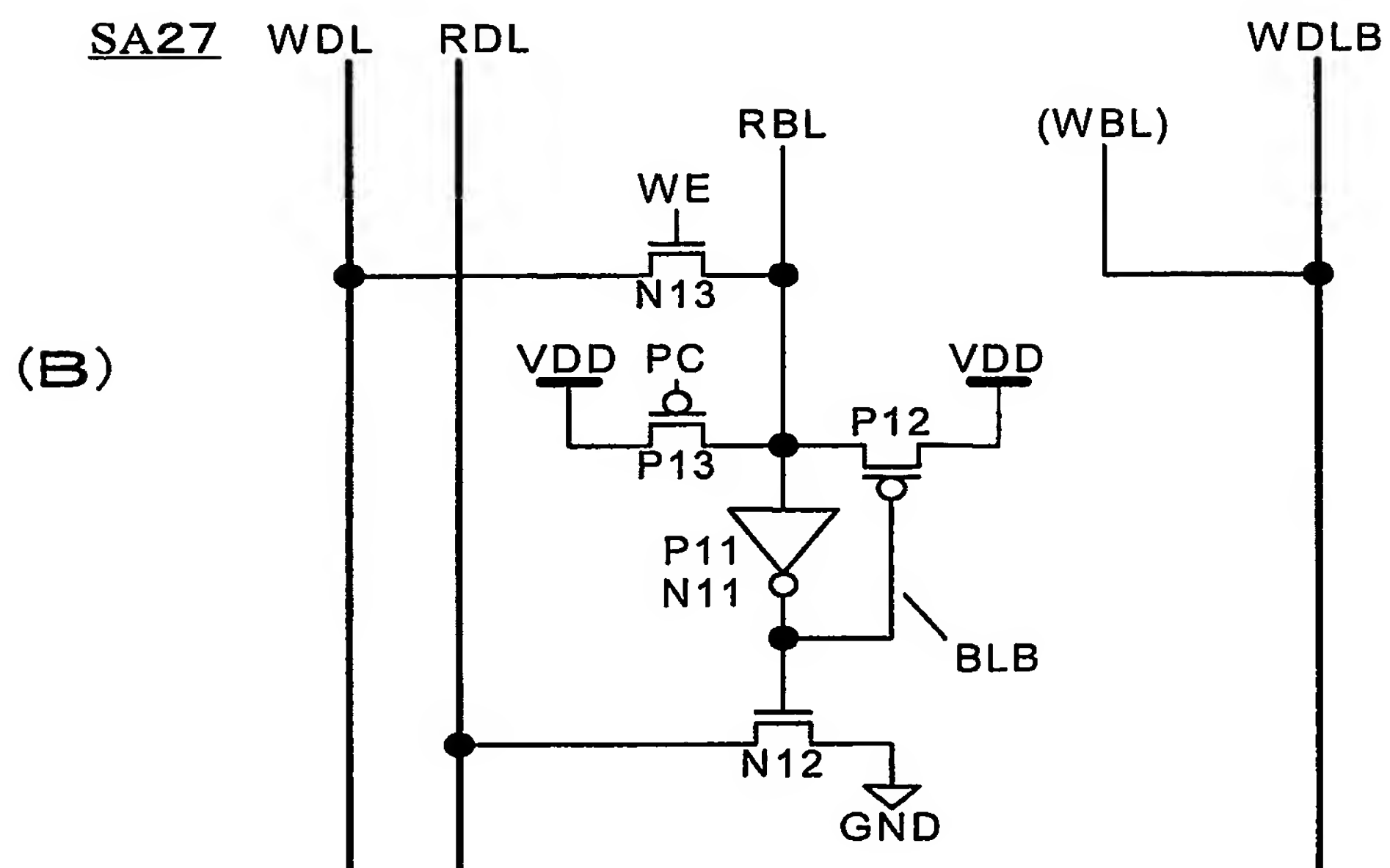


図 22

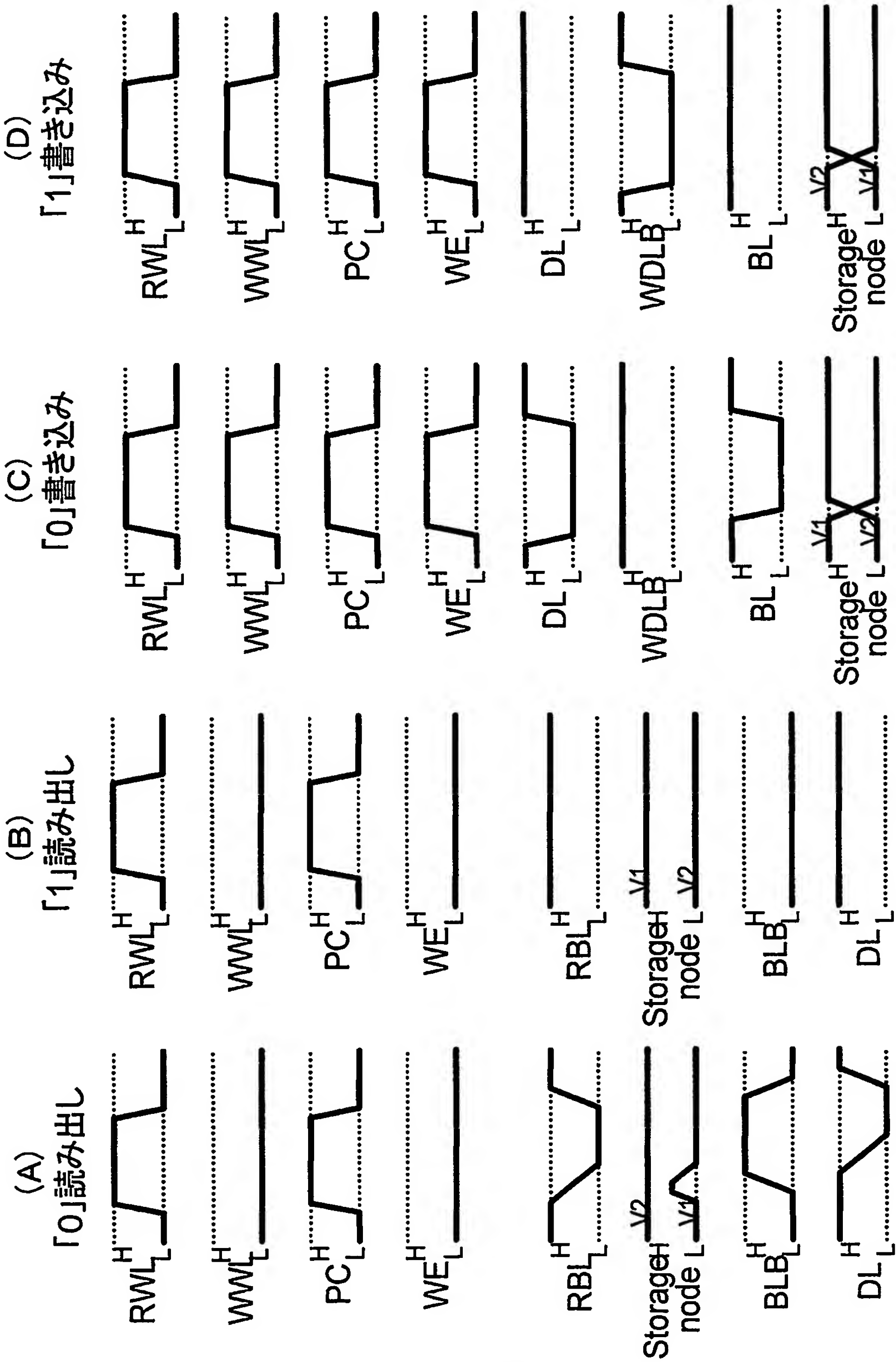


図 23

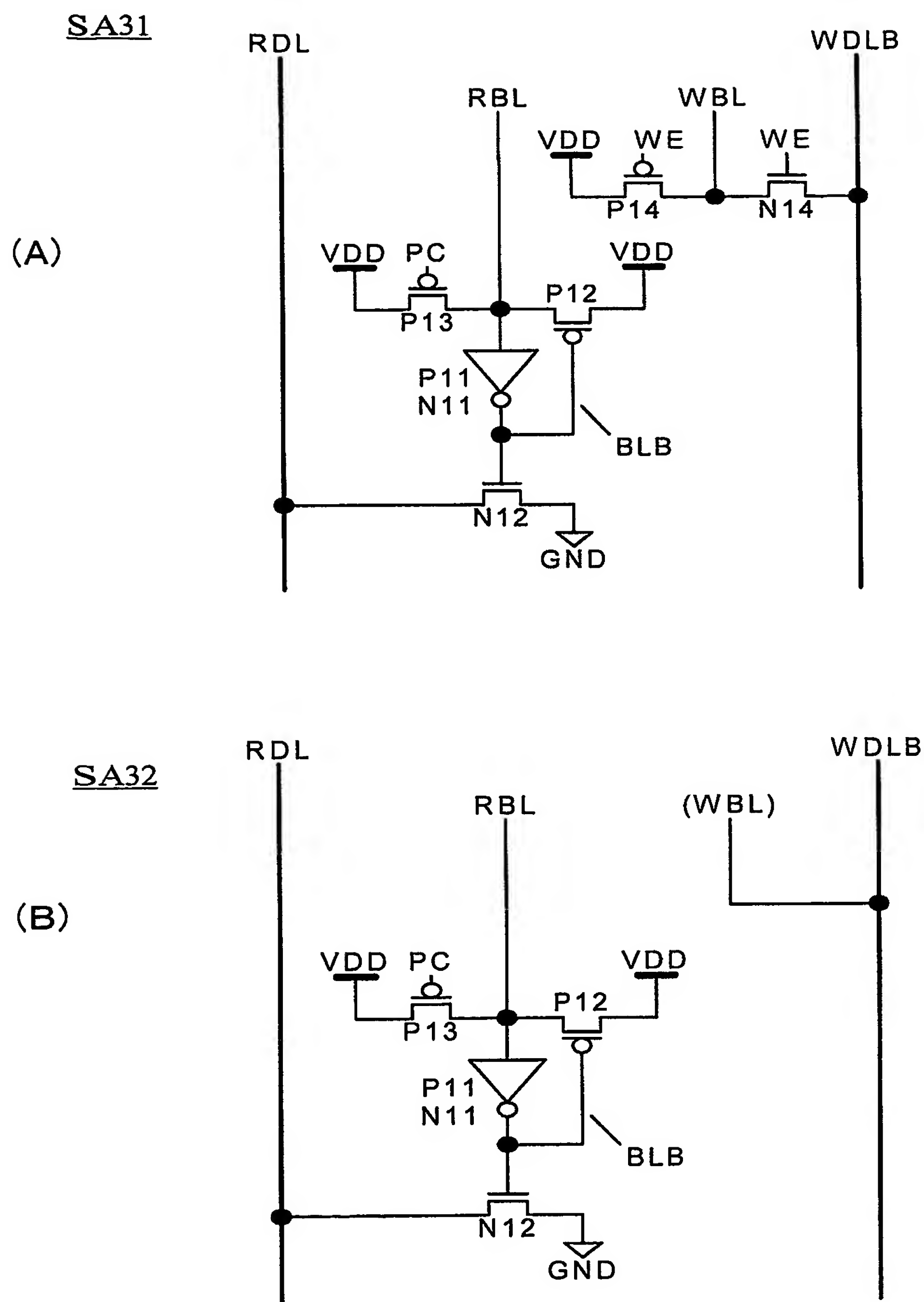


図 24

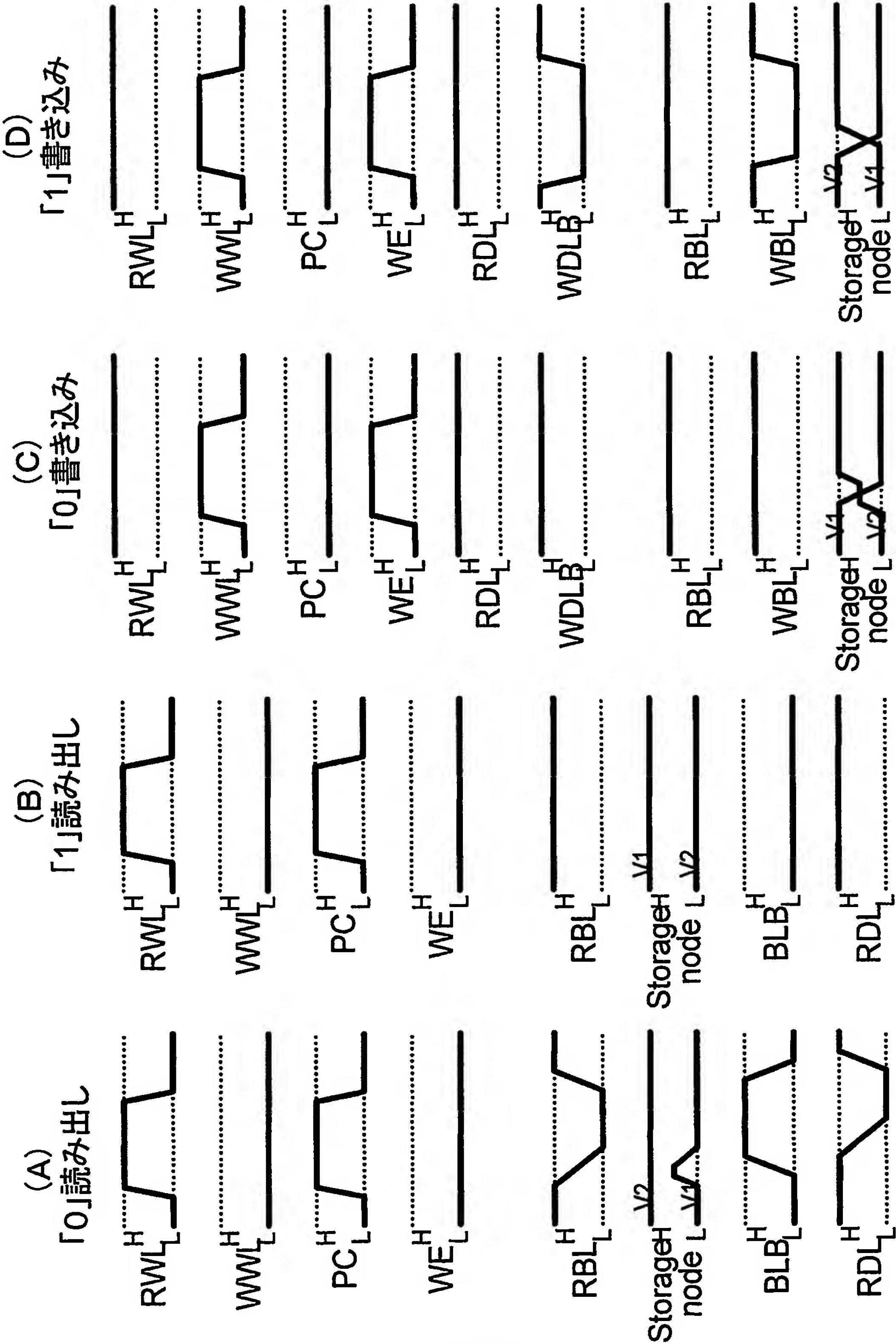
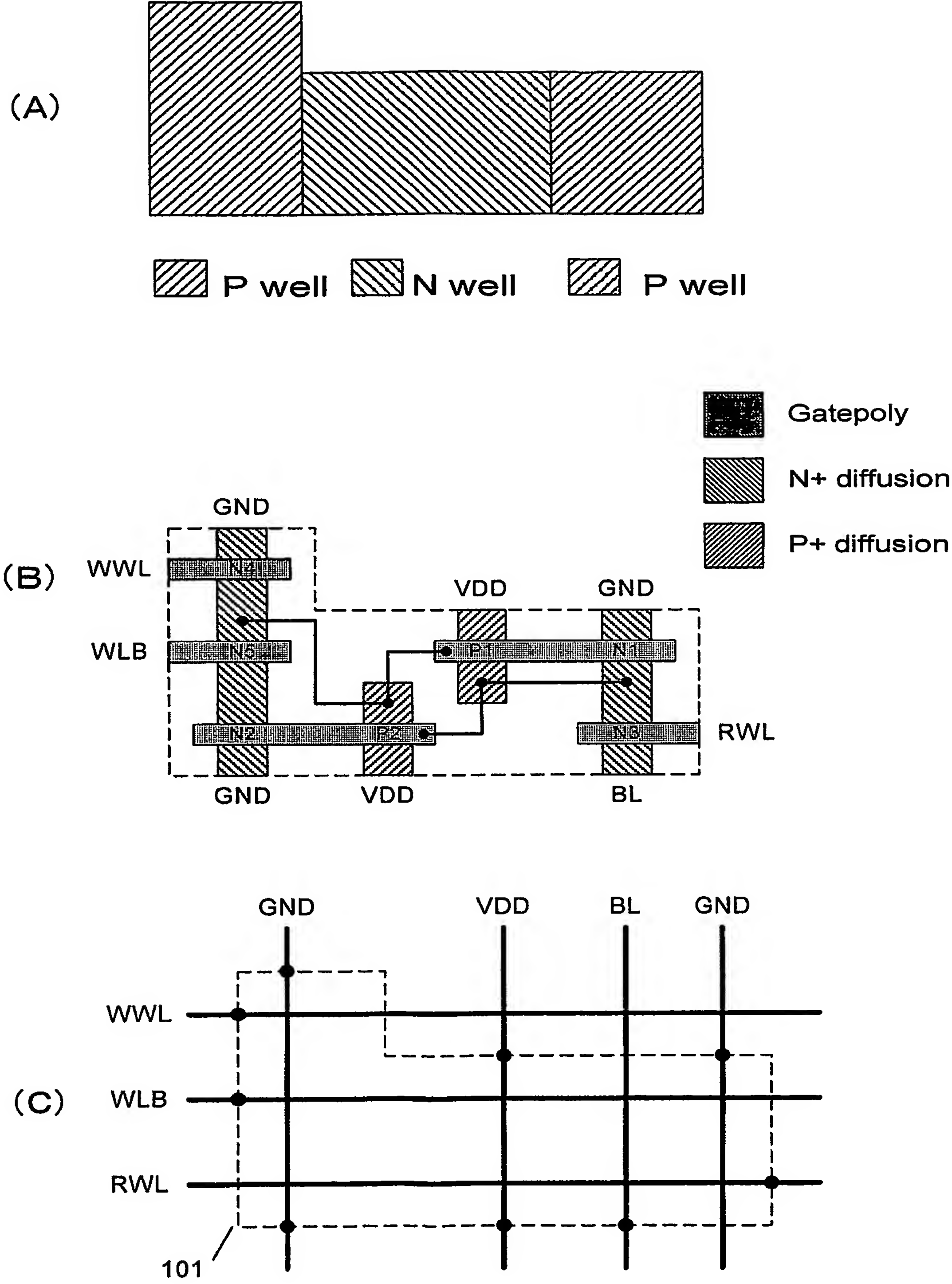


図 25



26

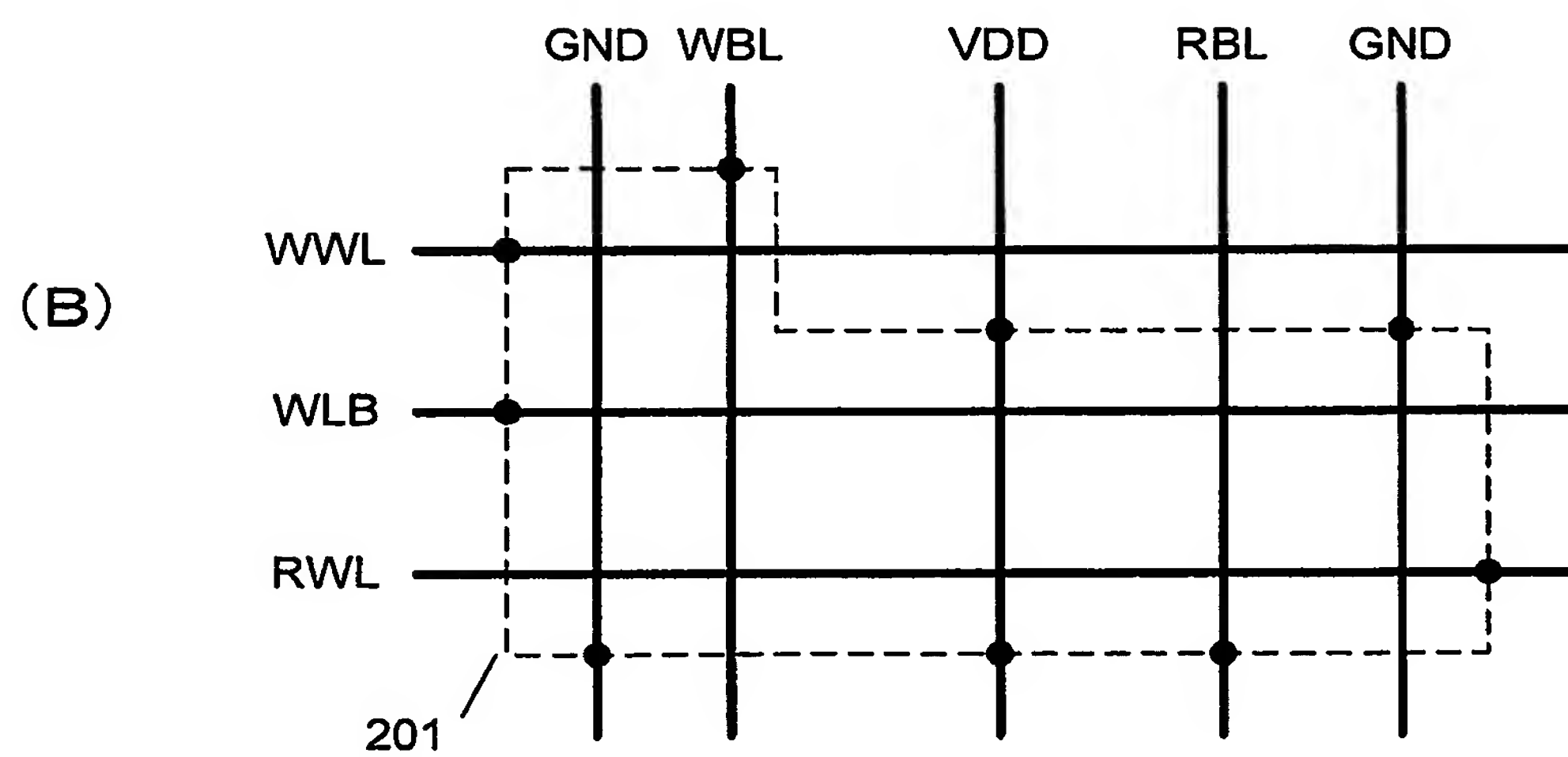
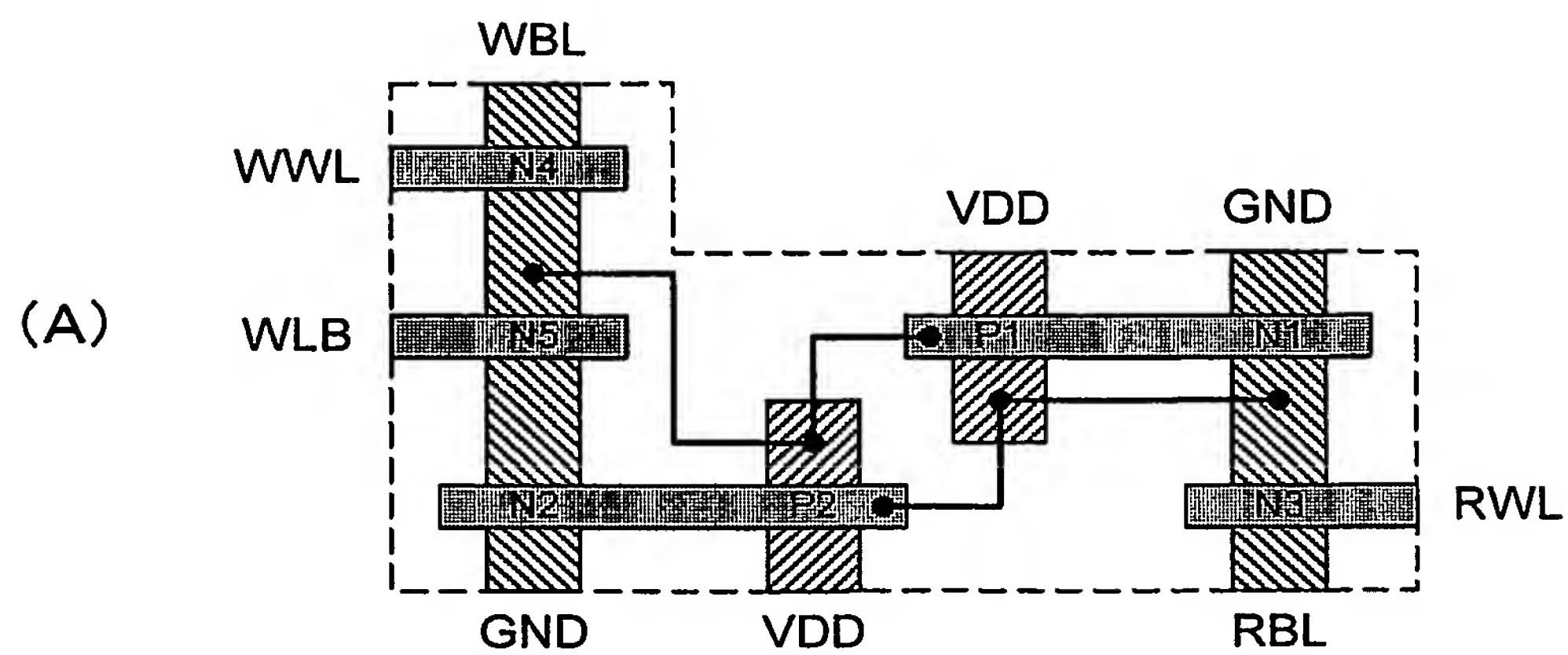


図 27

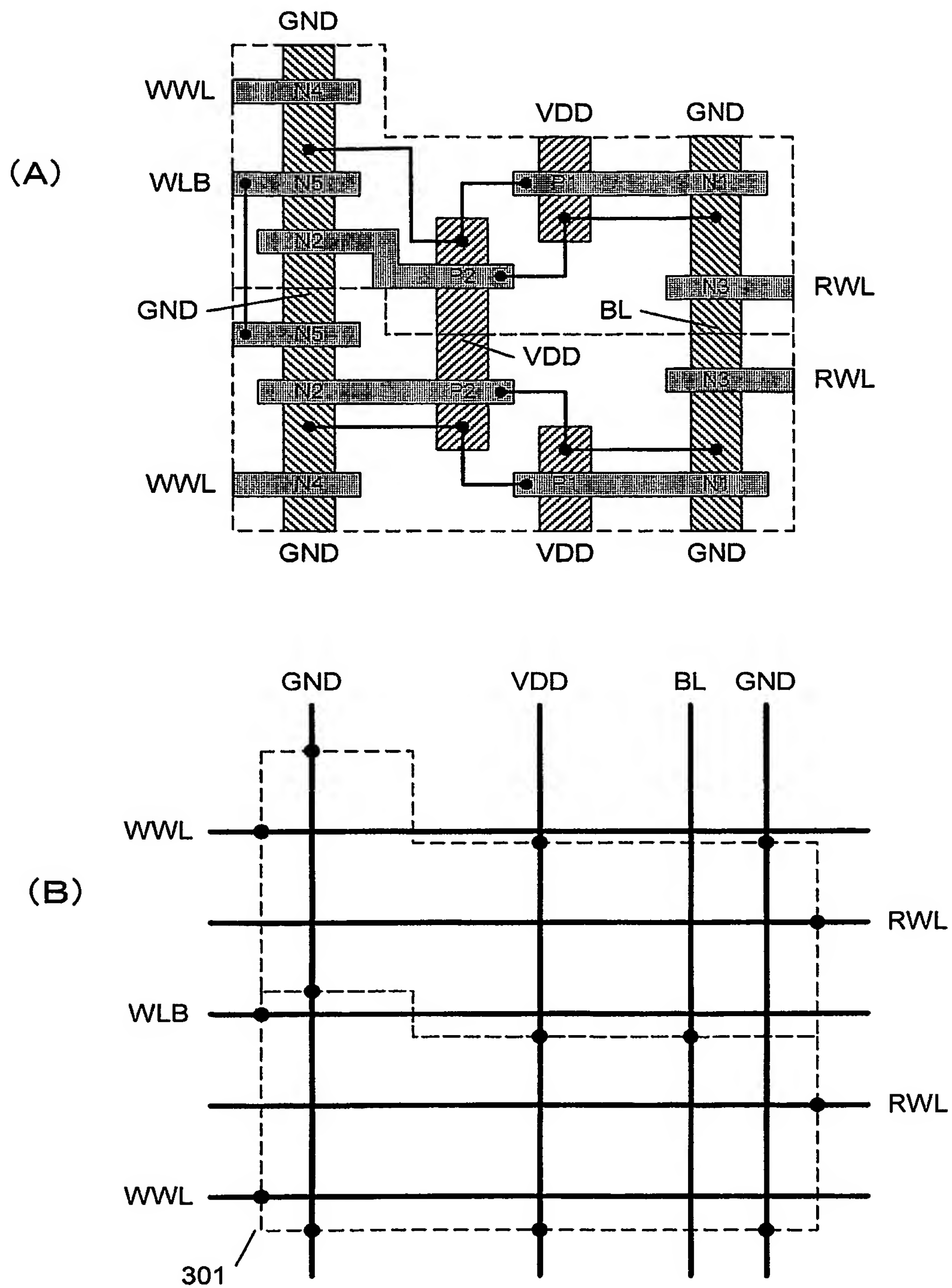


図 28

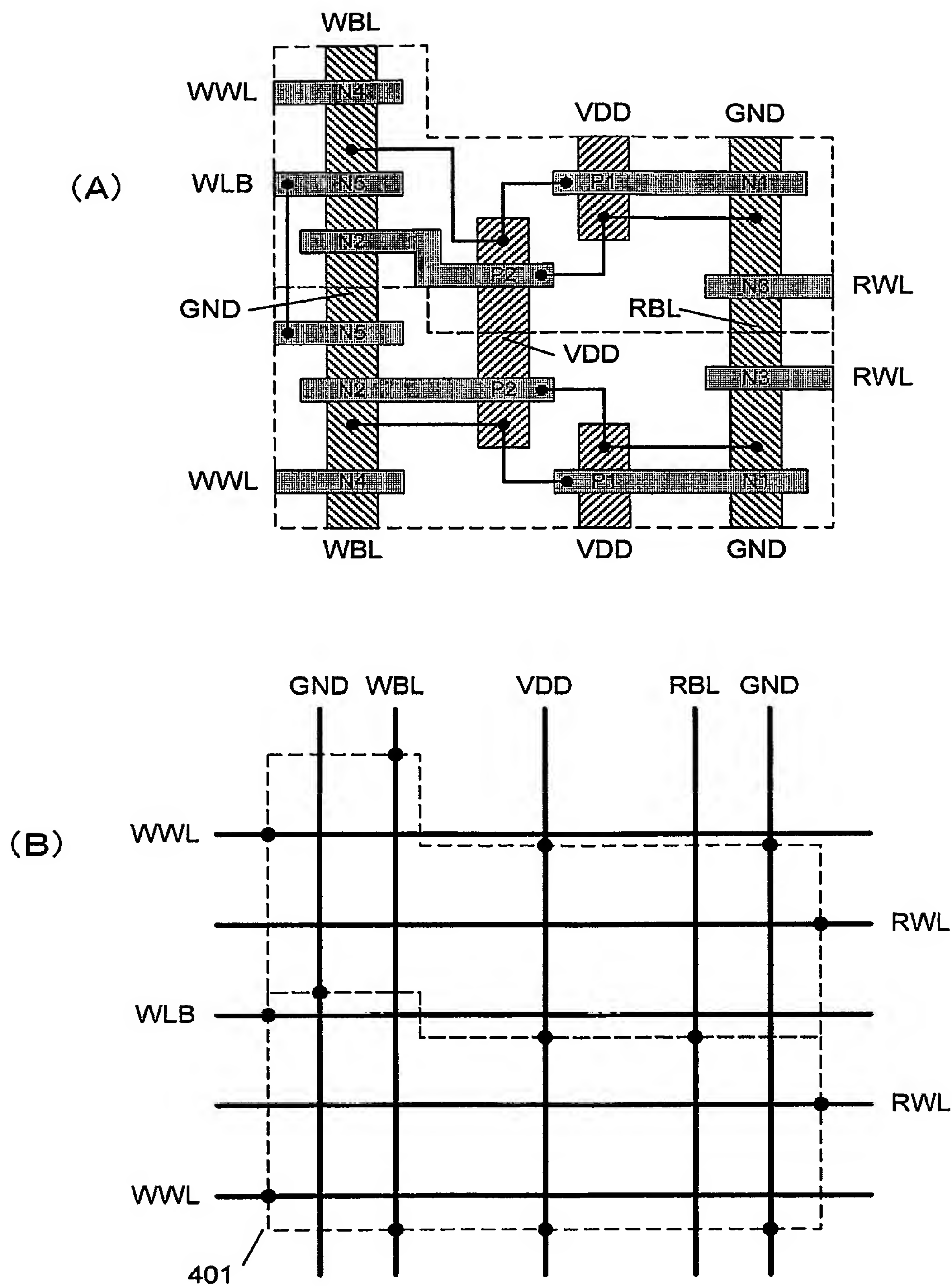


図 29

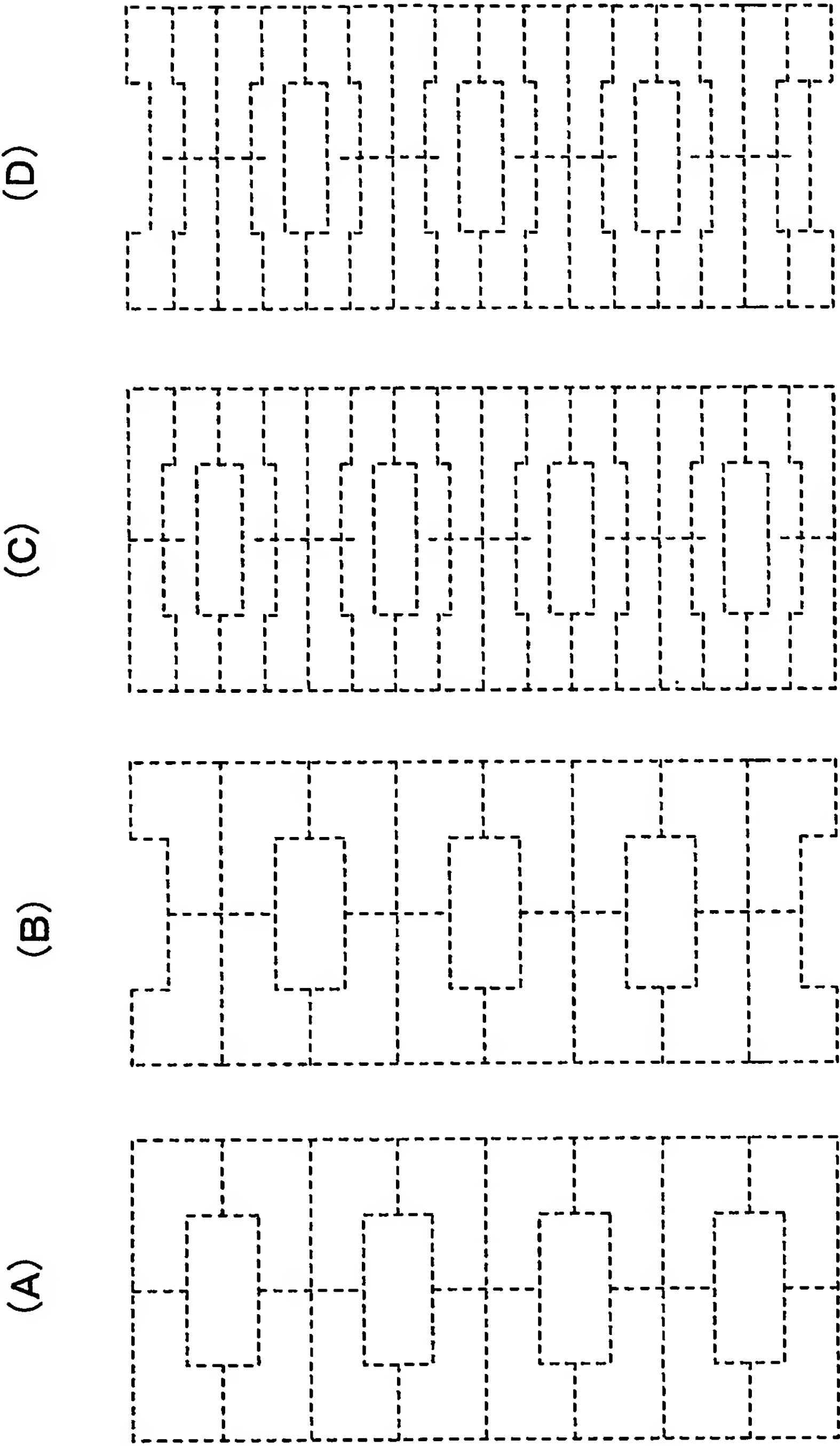
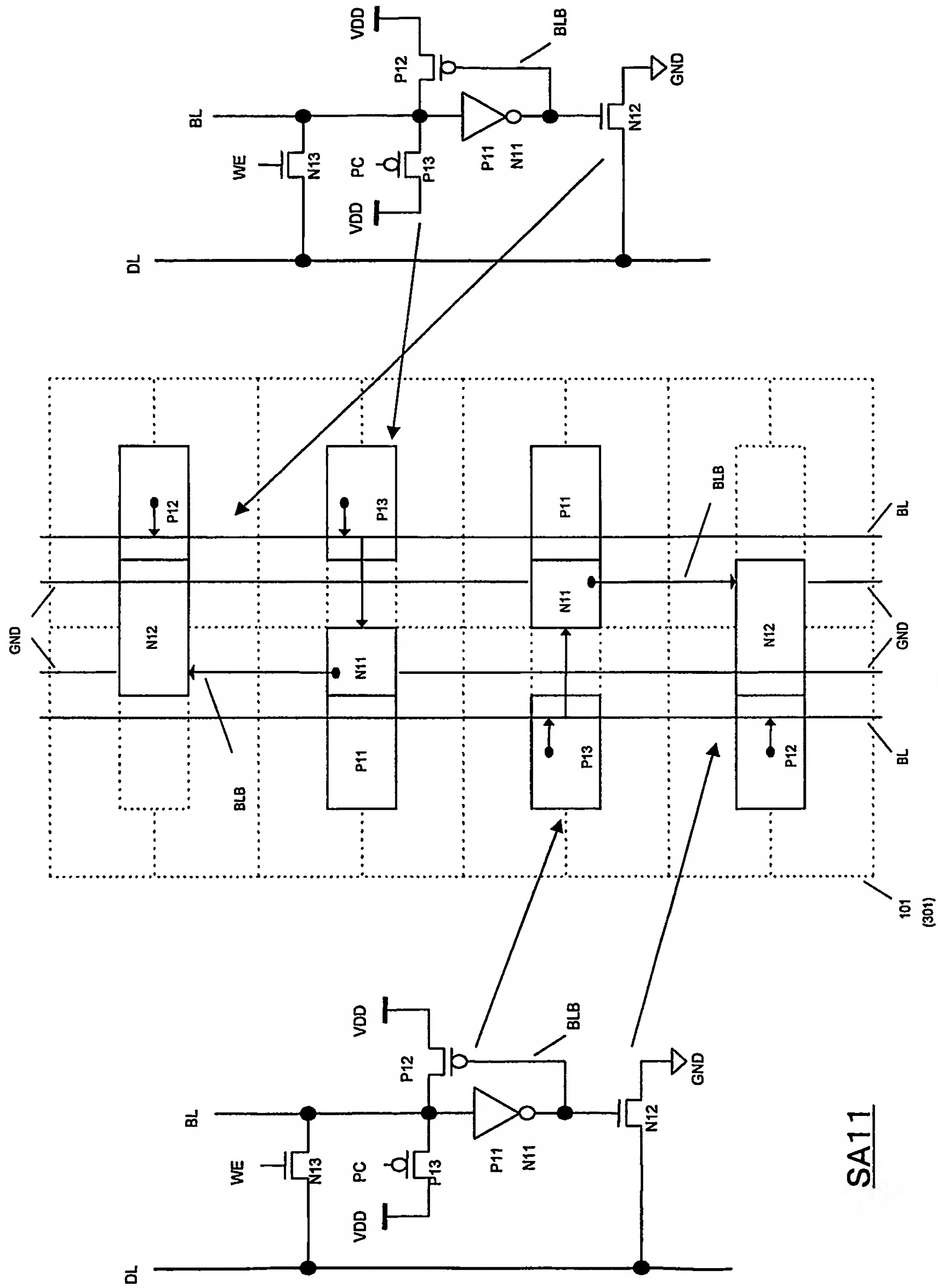


図 30



SA11

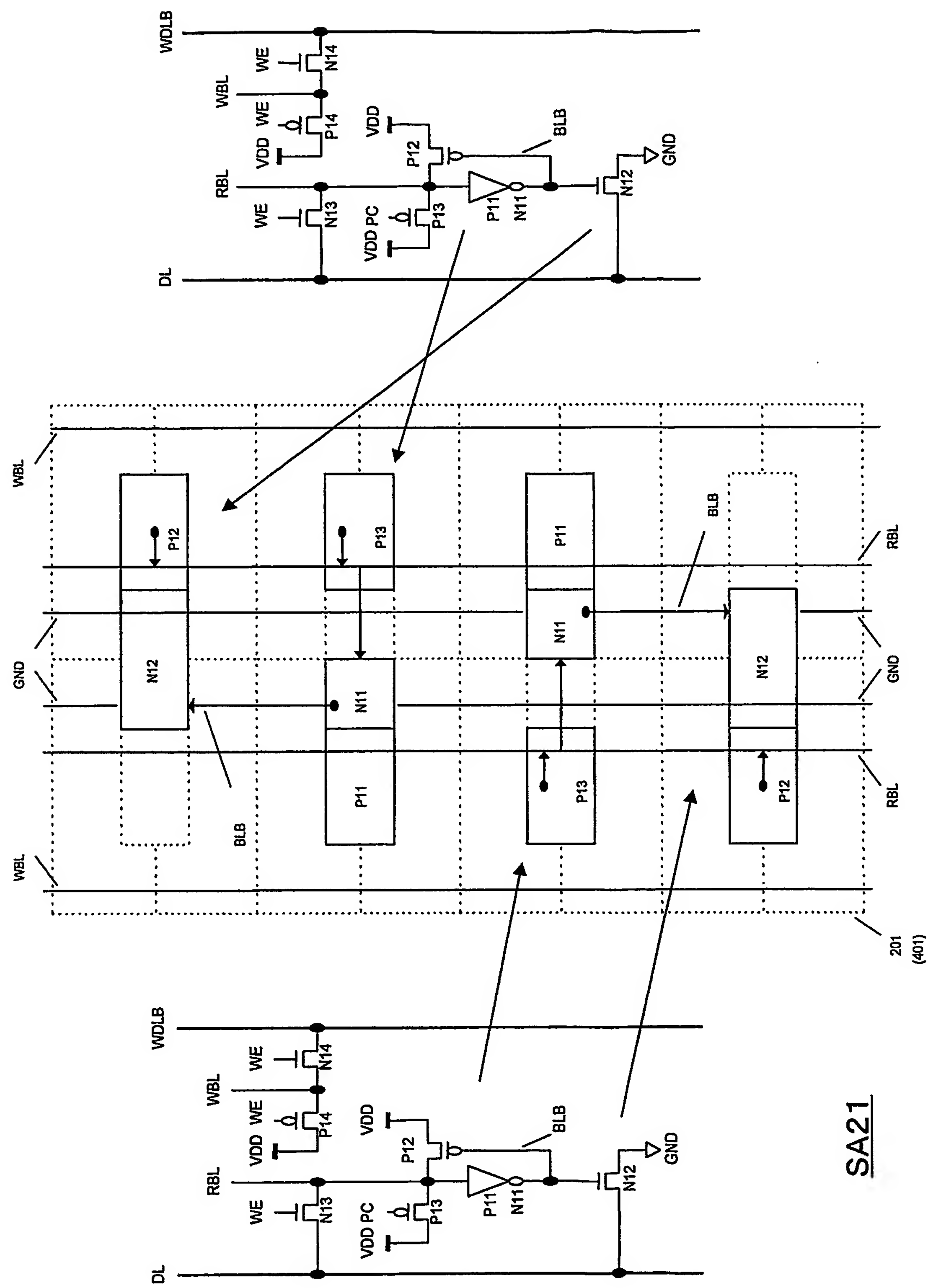


図 32

SA21

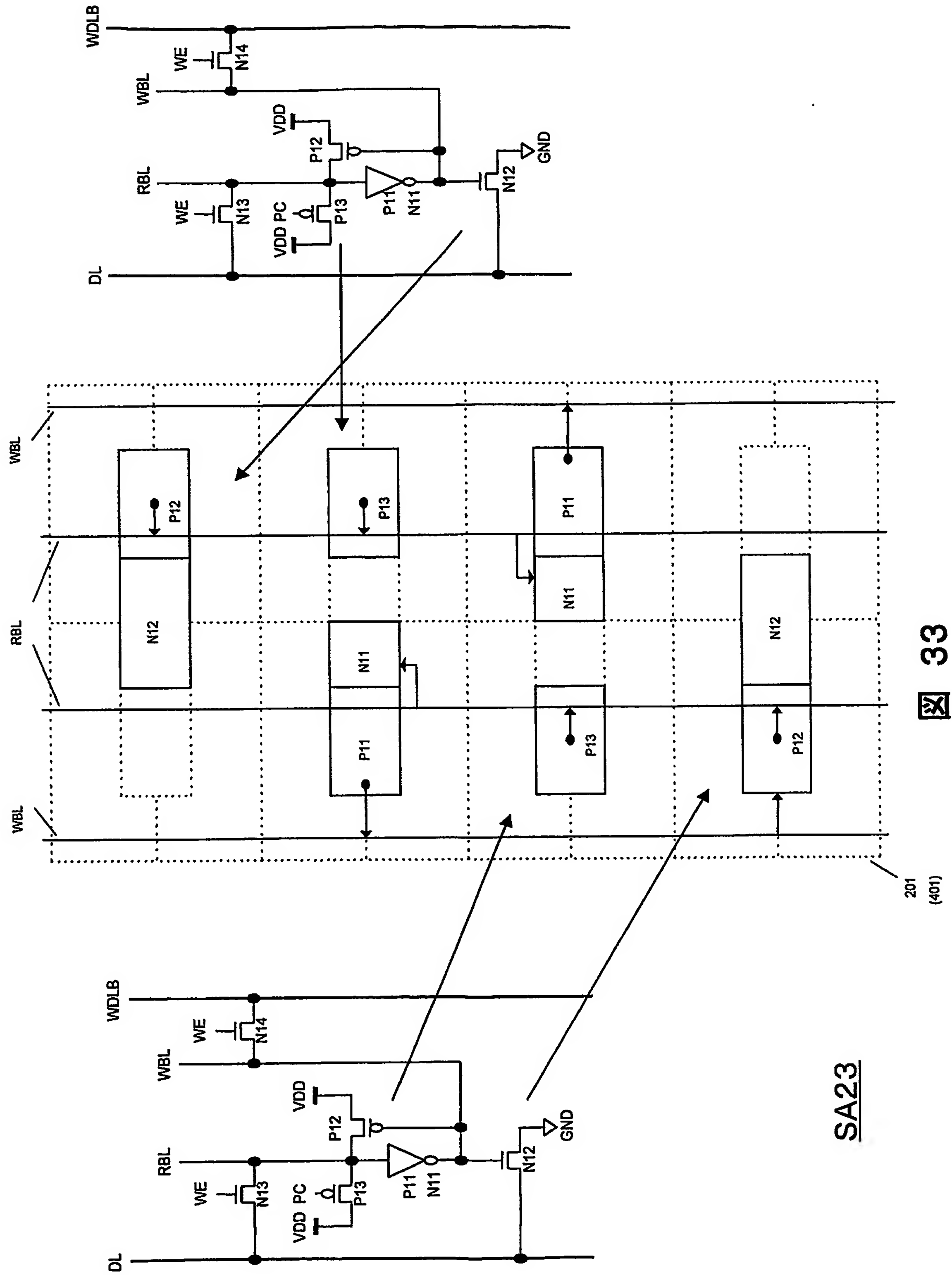
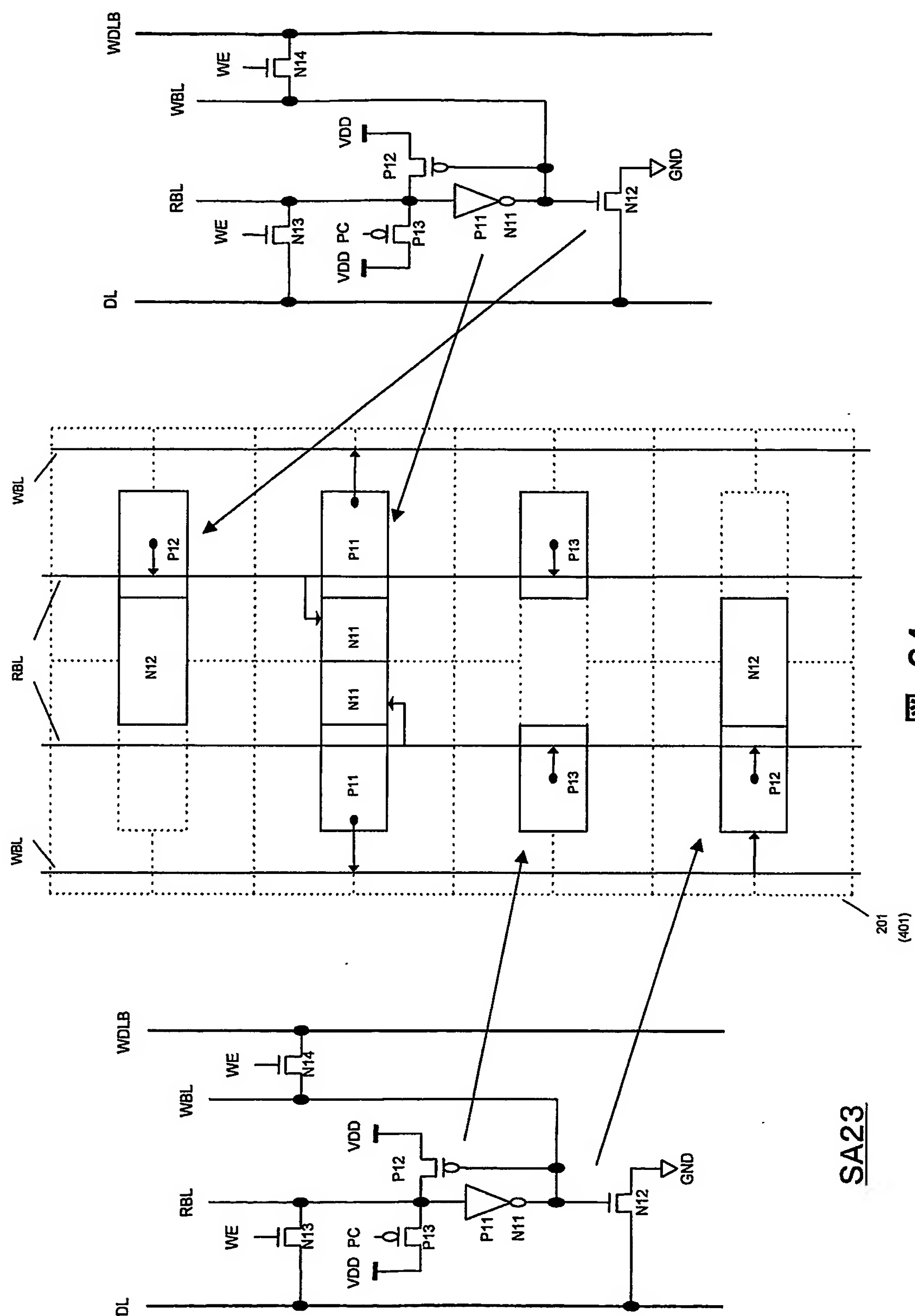
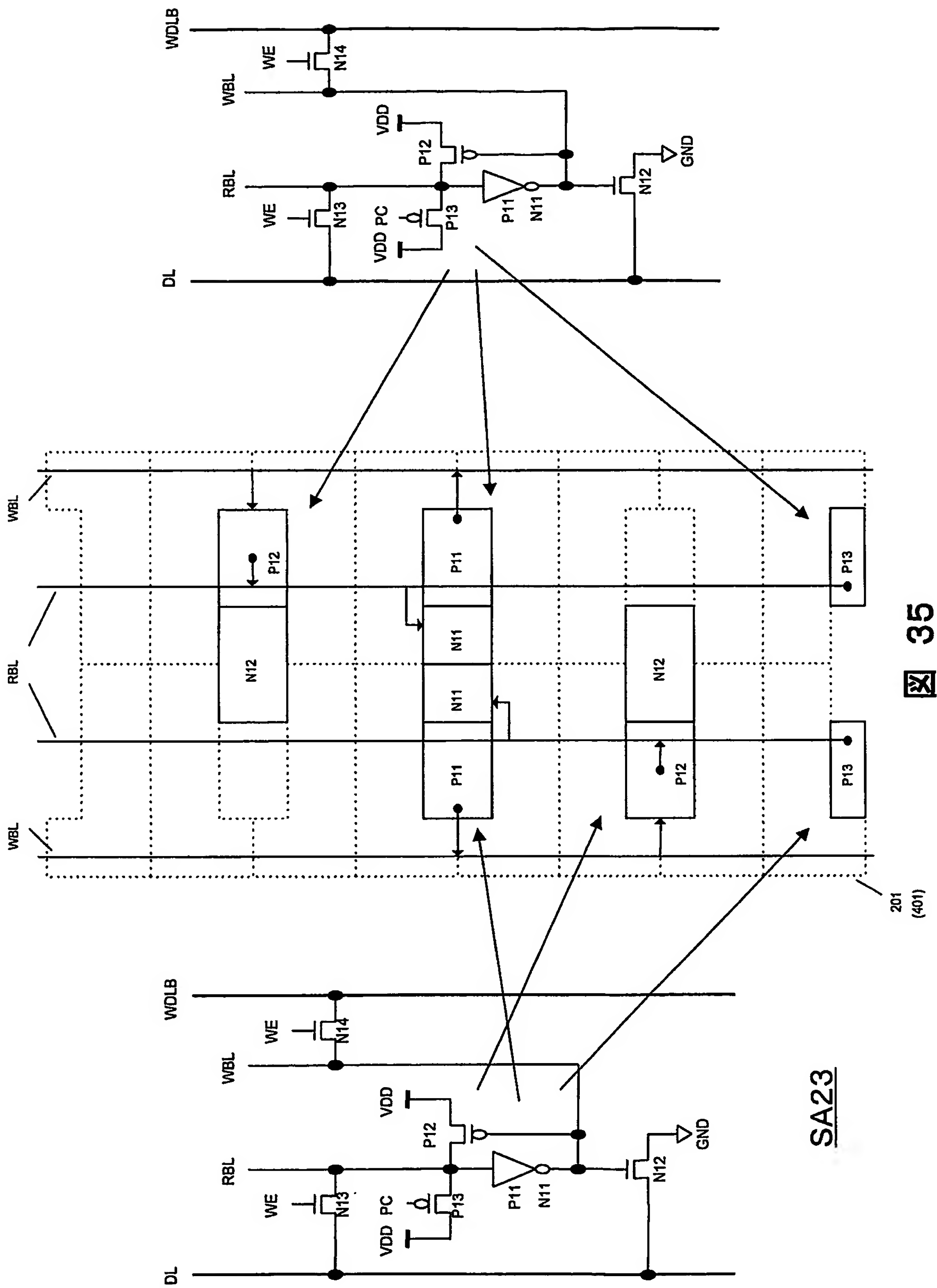


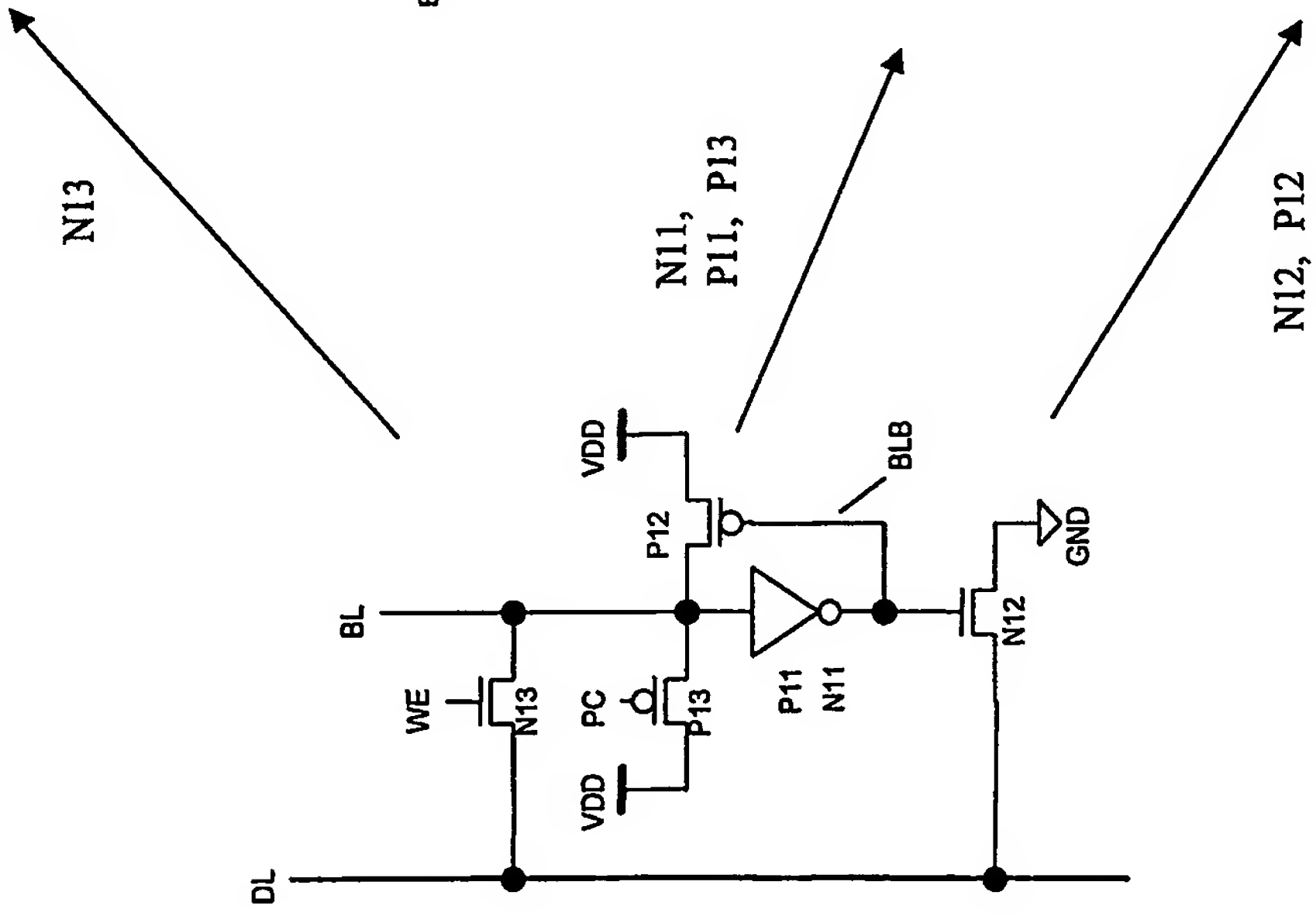
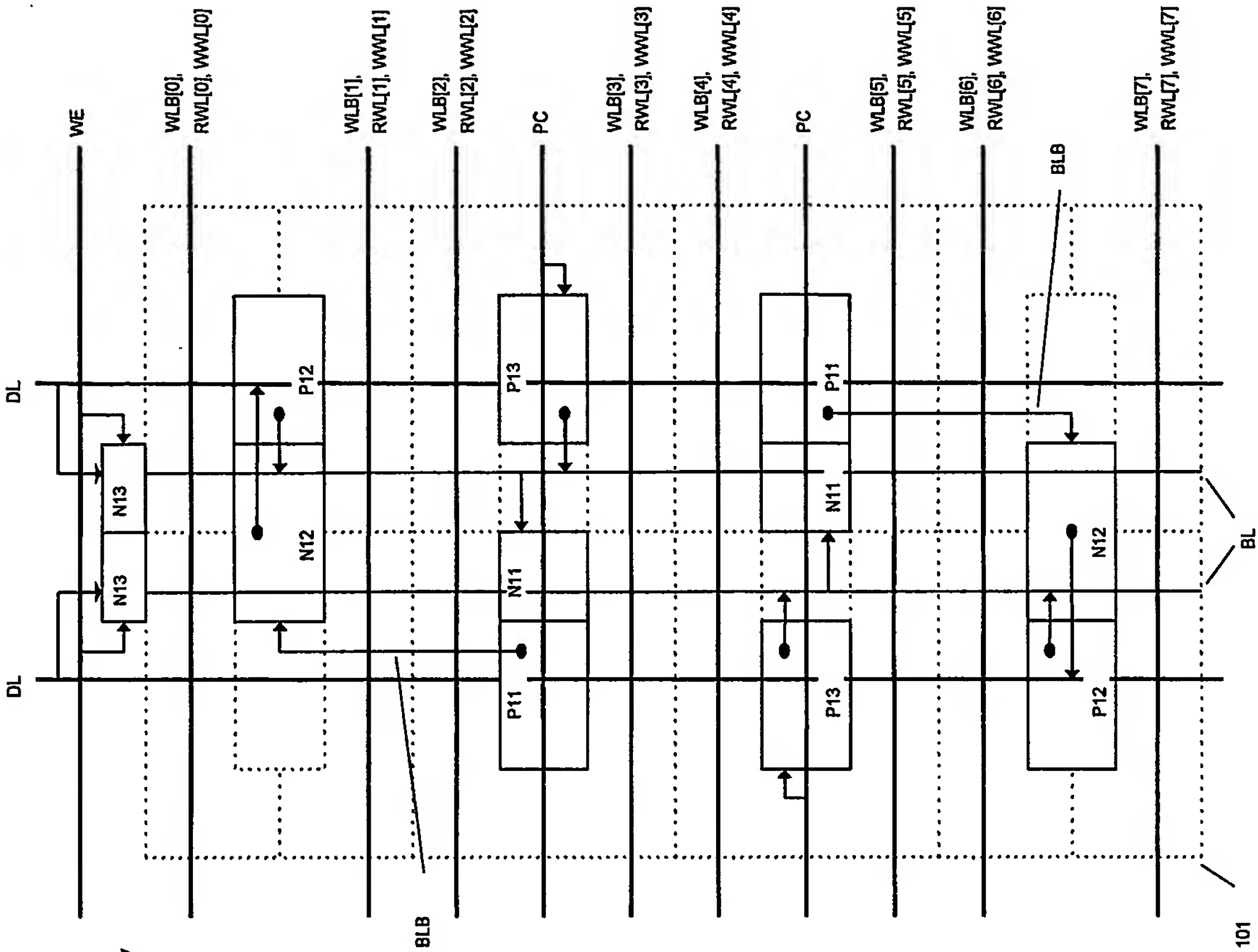
図 33

SA23



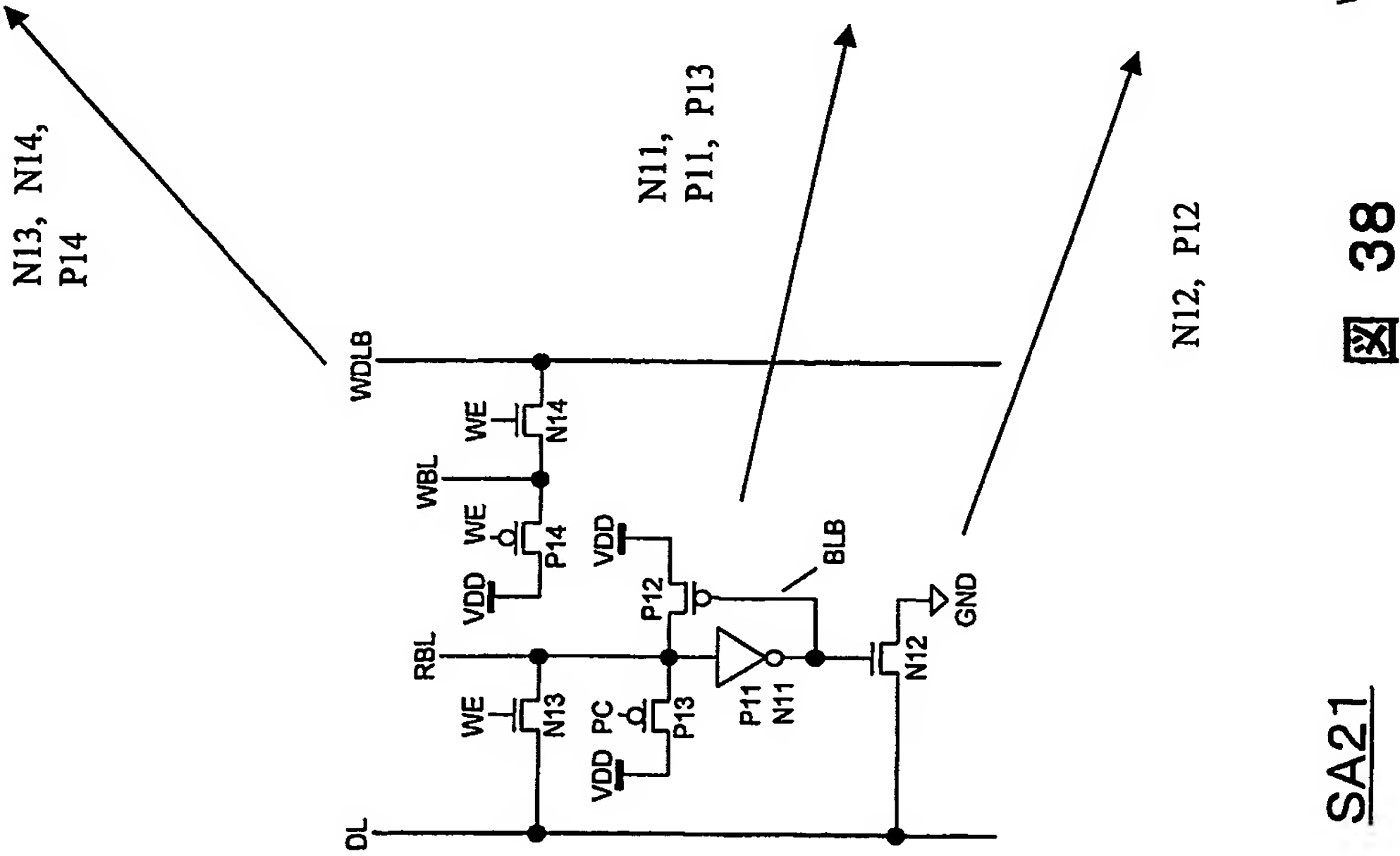
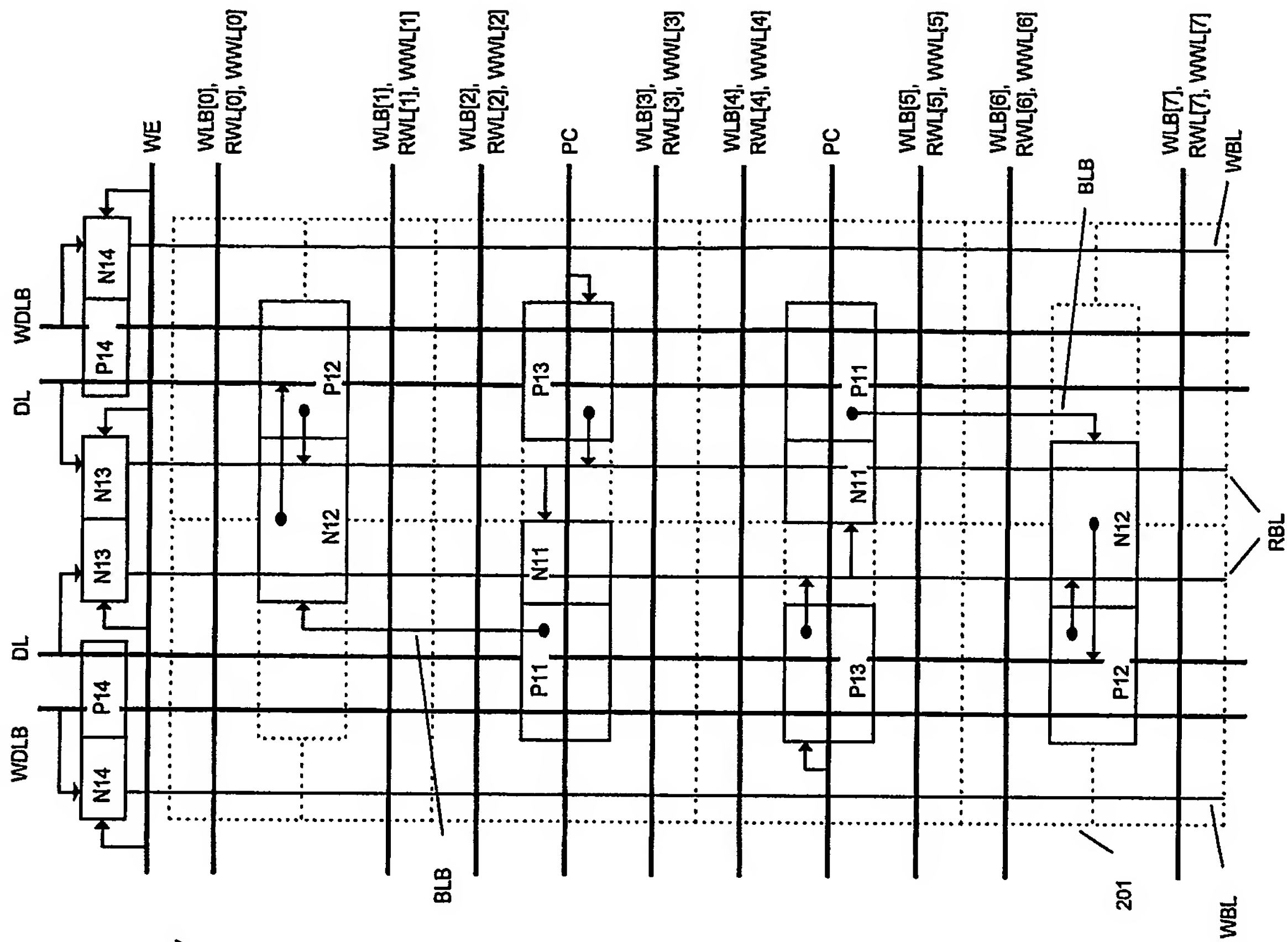
34 図

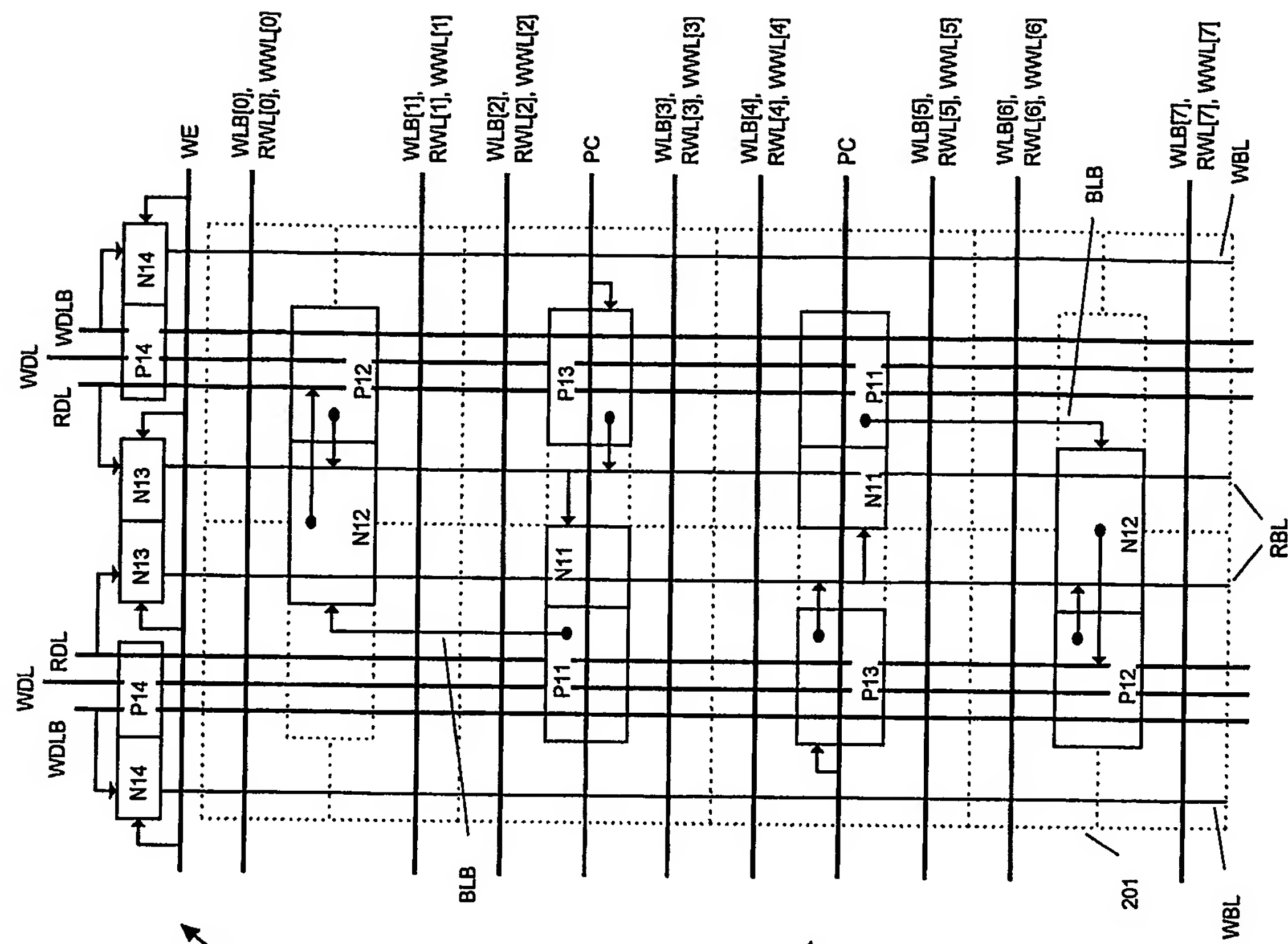




SA11

36

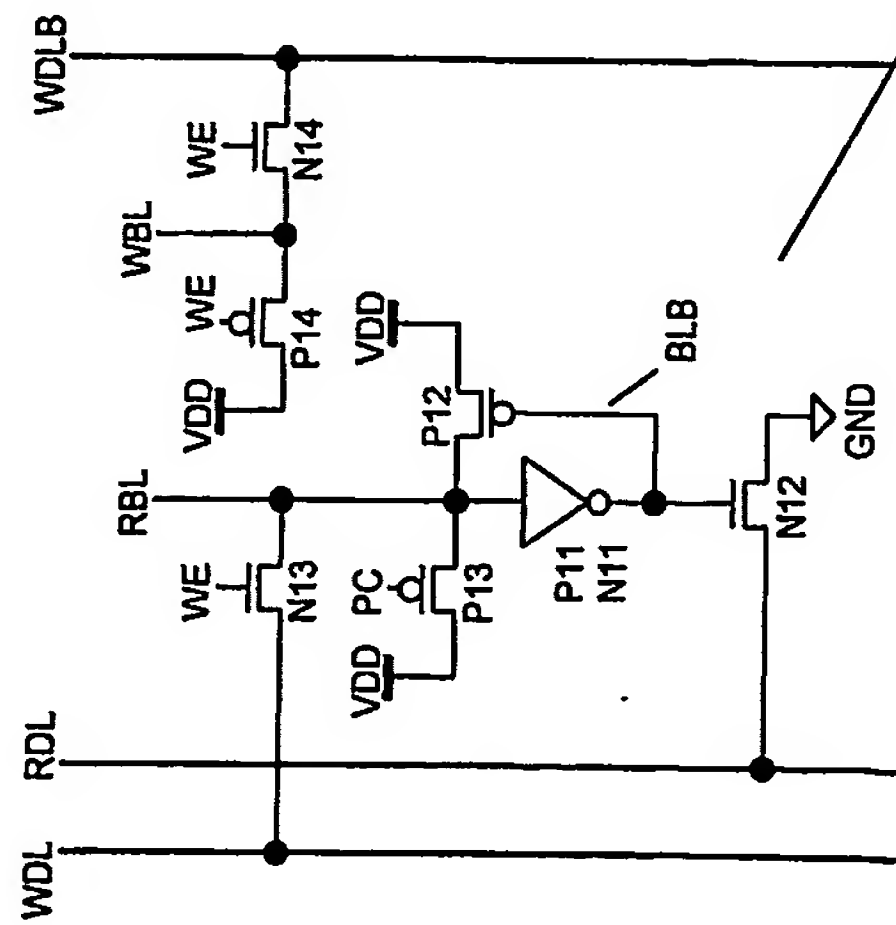




N13,N14,
P14

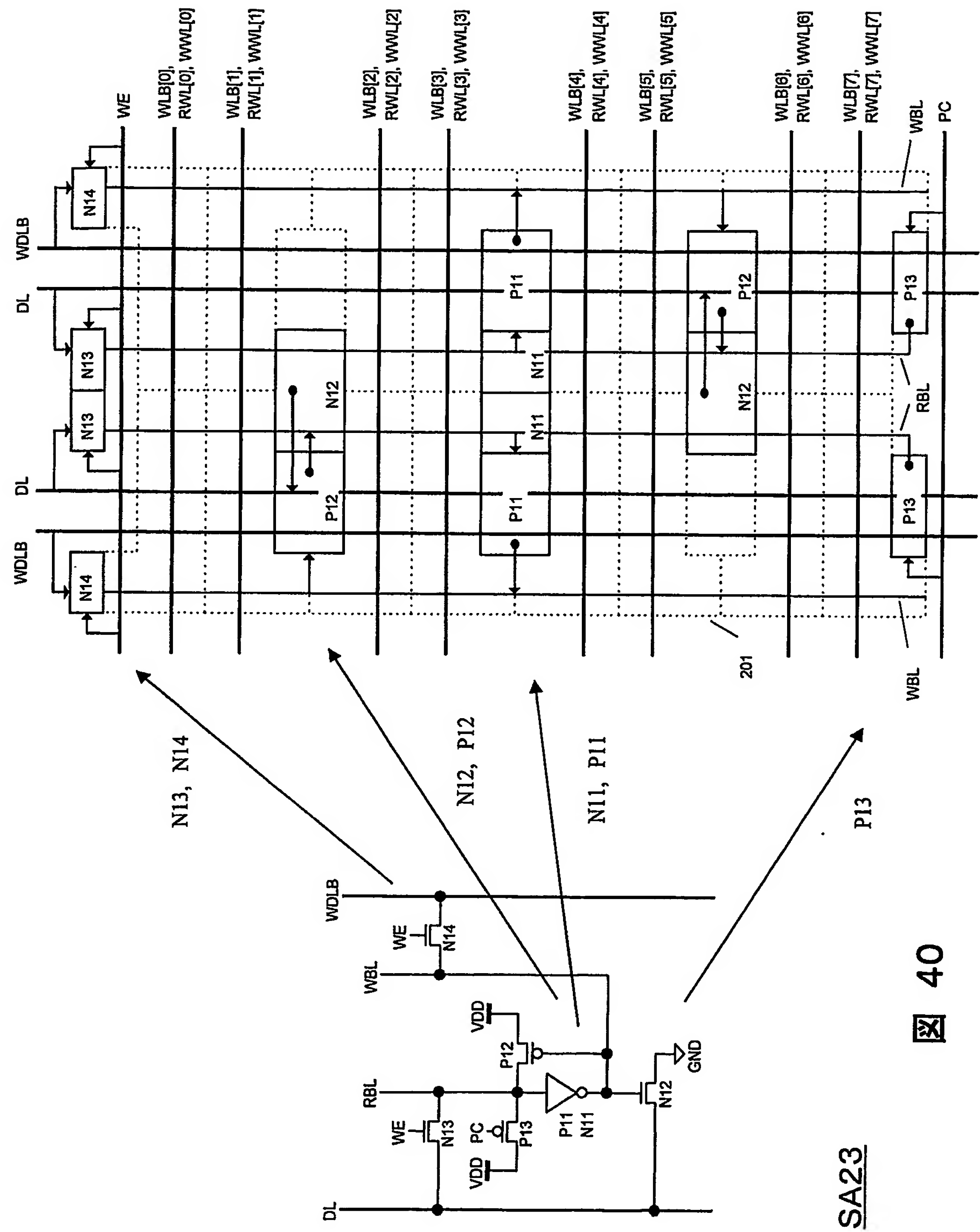
N11, P11,
P13

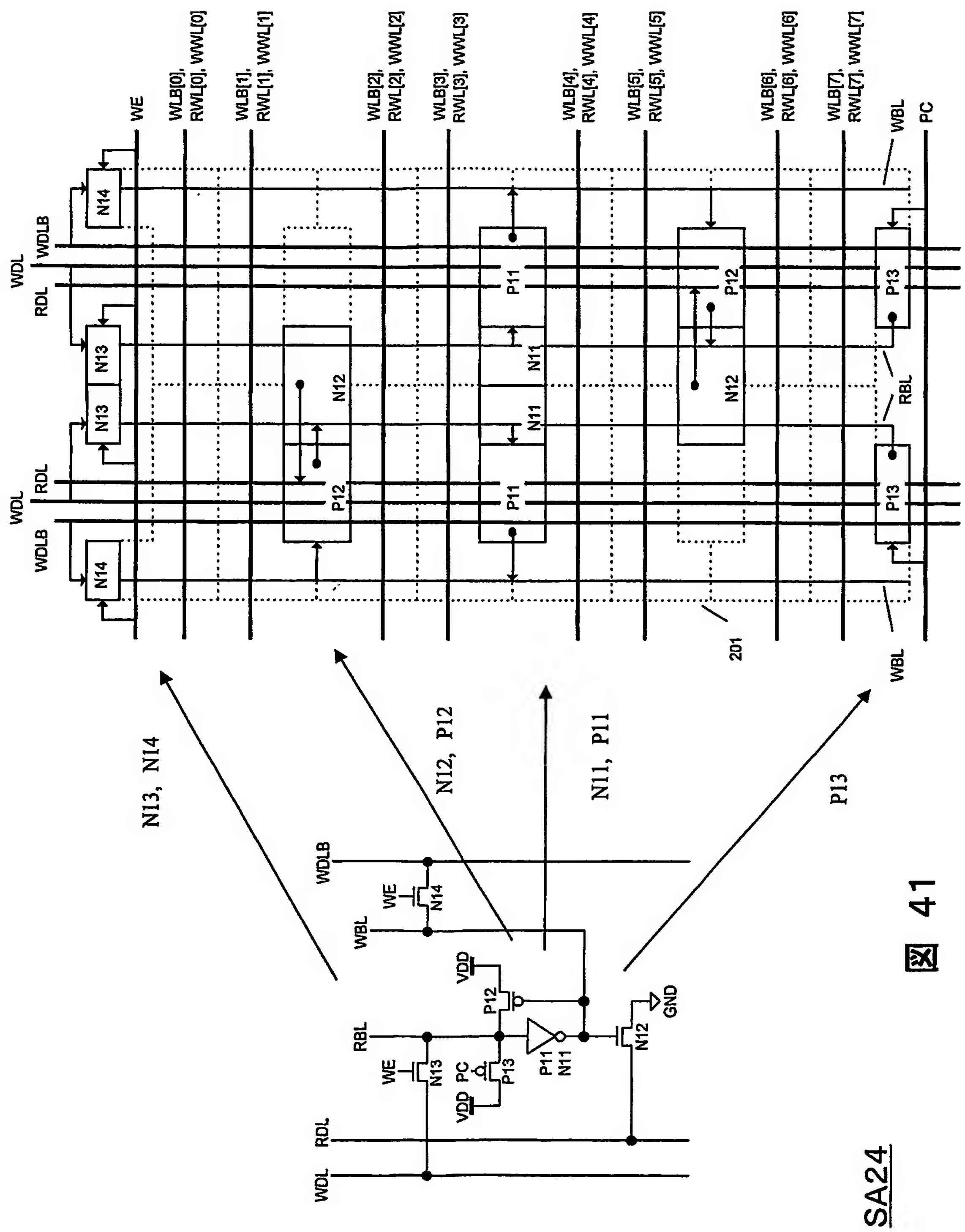
N12, P12



SA22

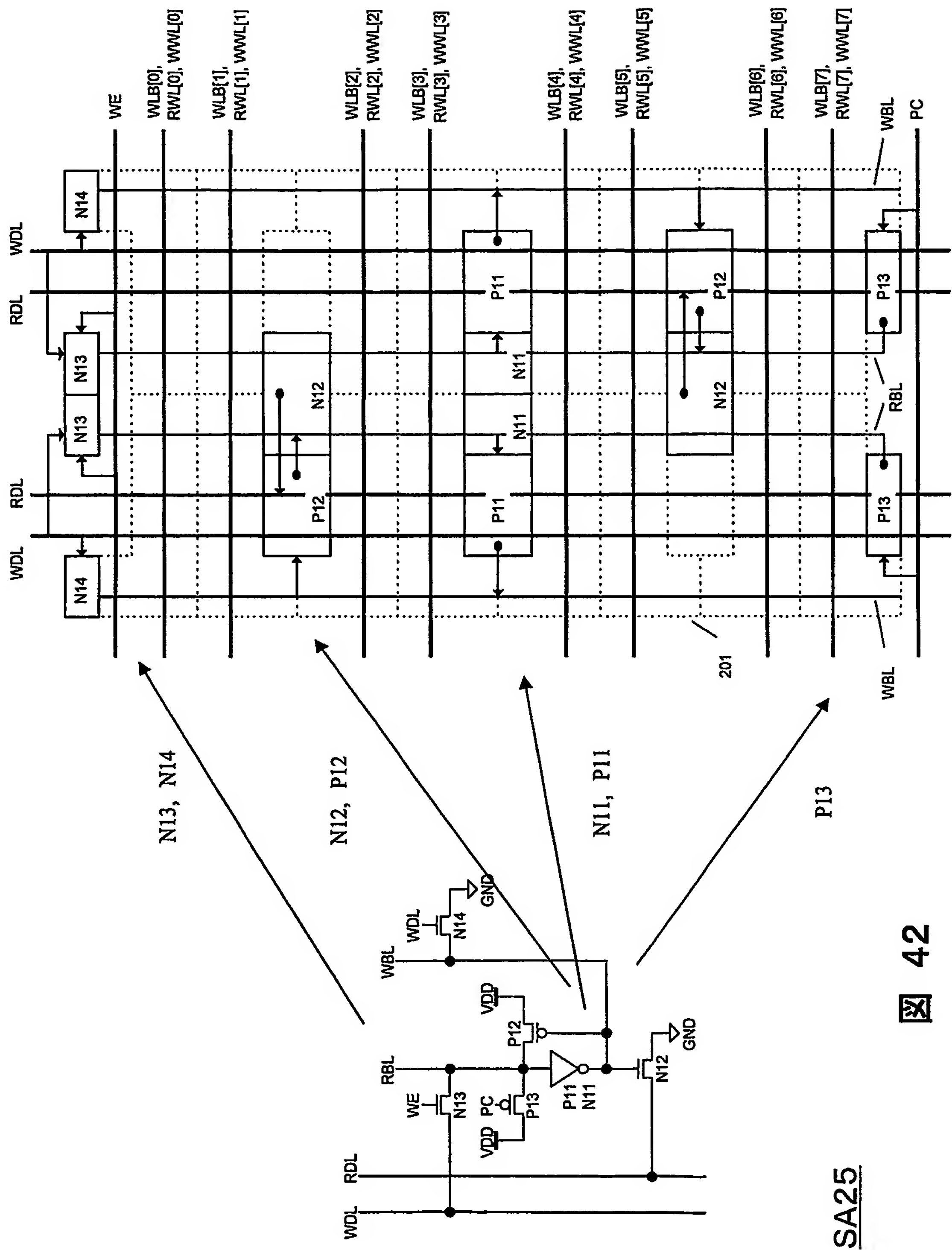
39





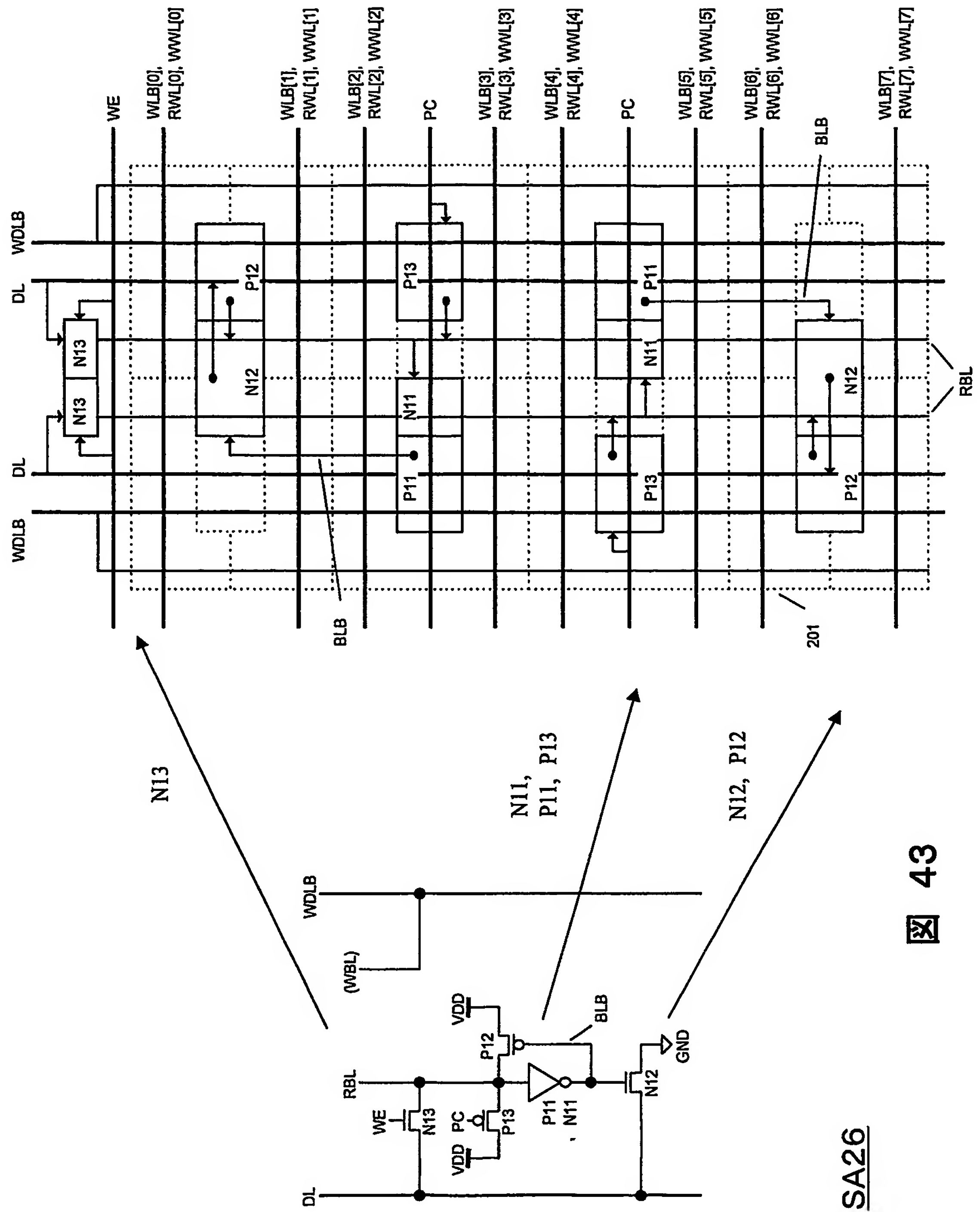
SA24

41



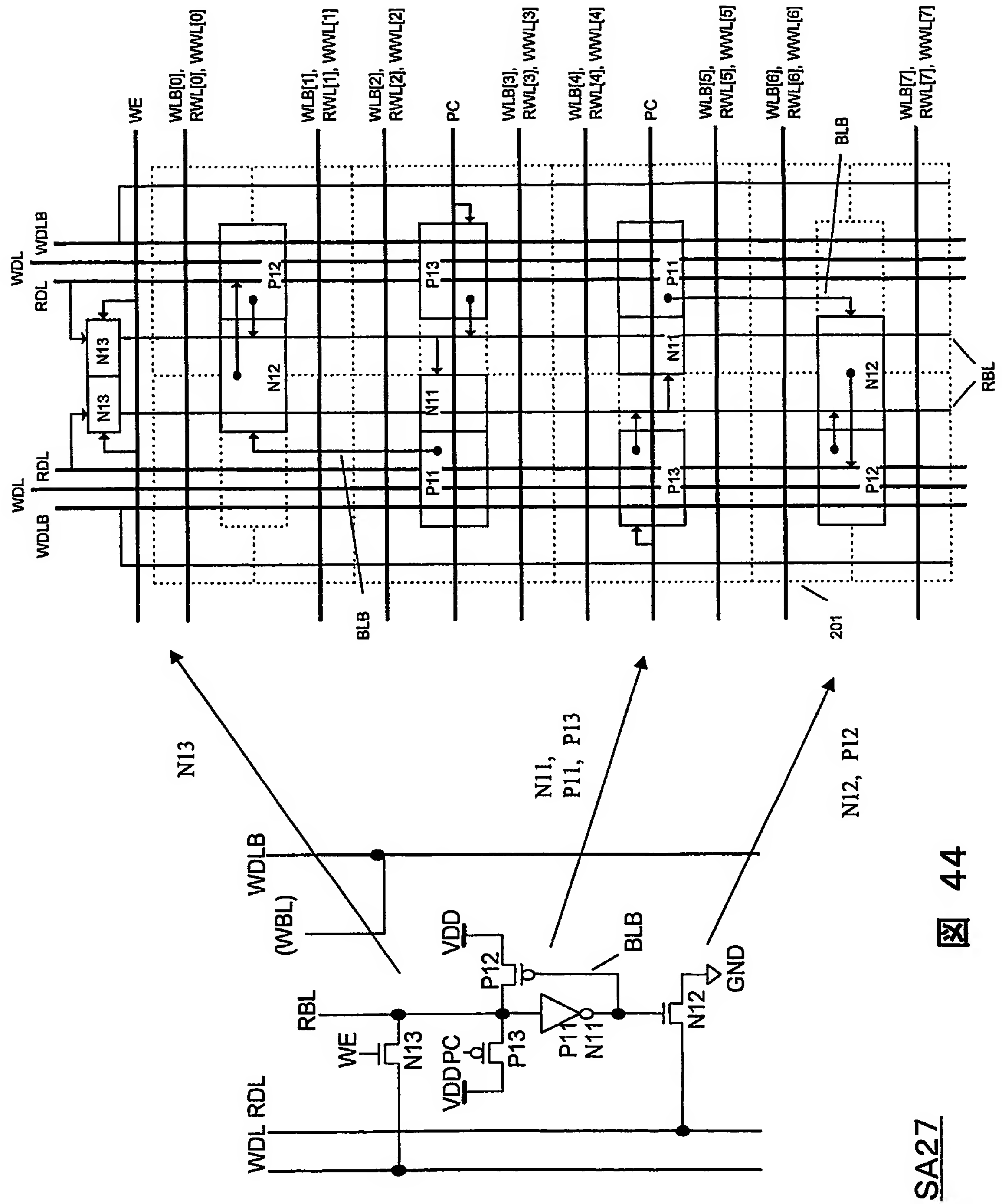
42

SA25



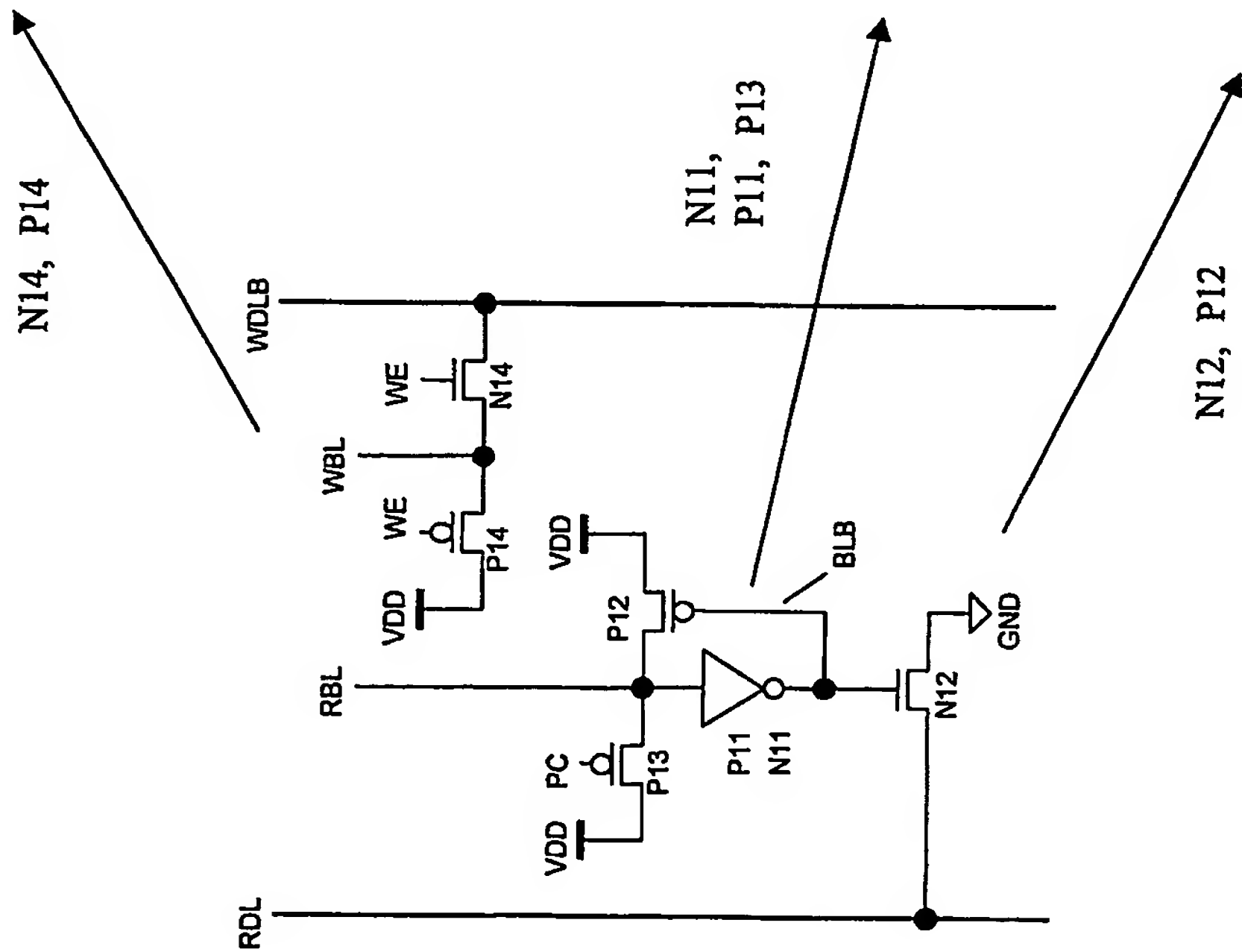
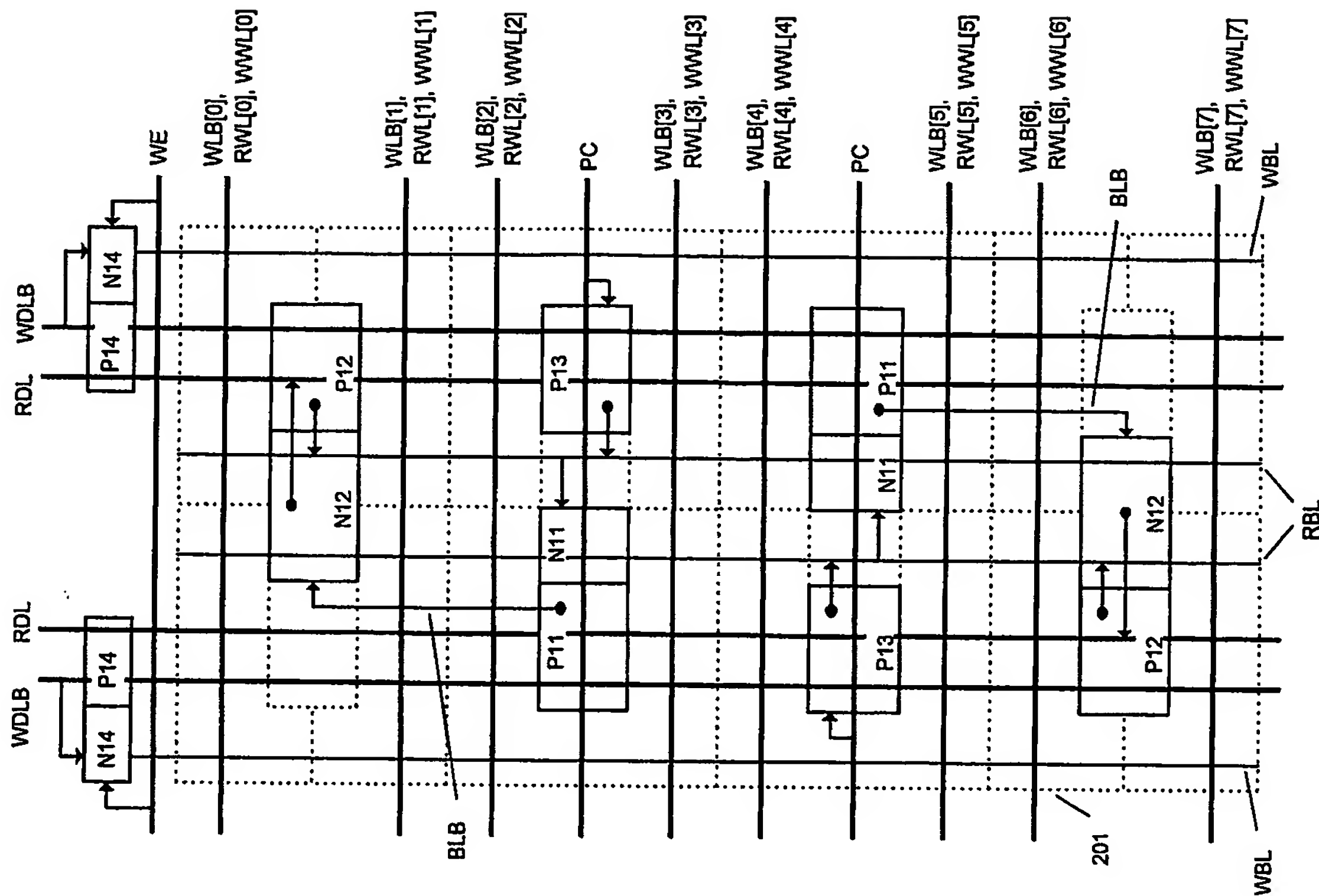
SA26

43



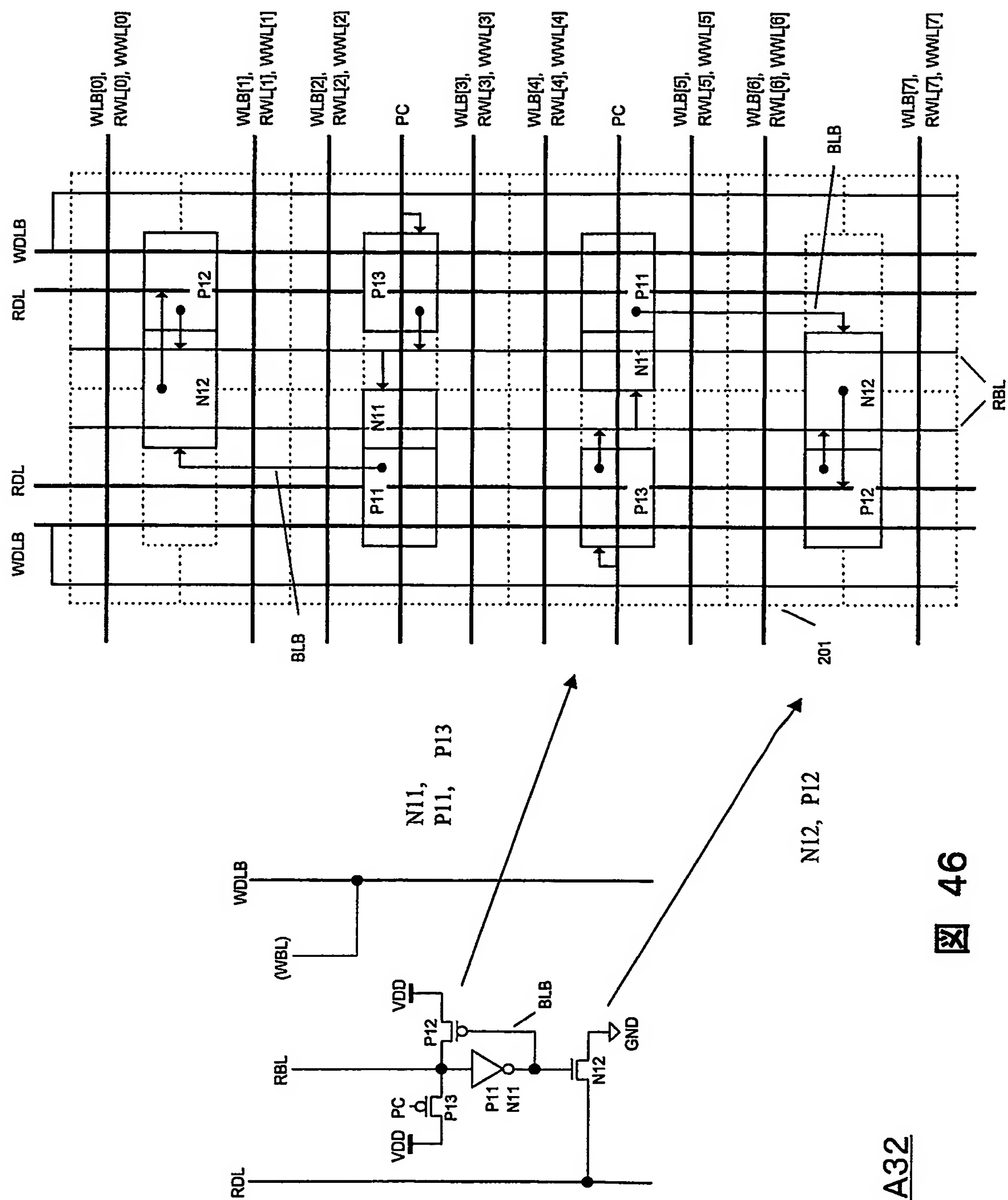
SA27

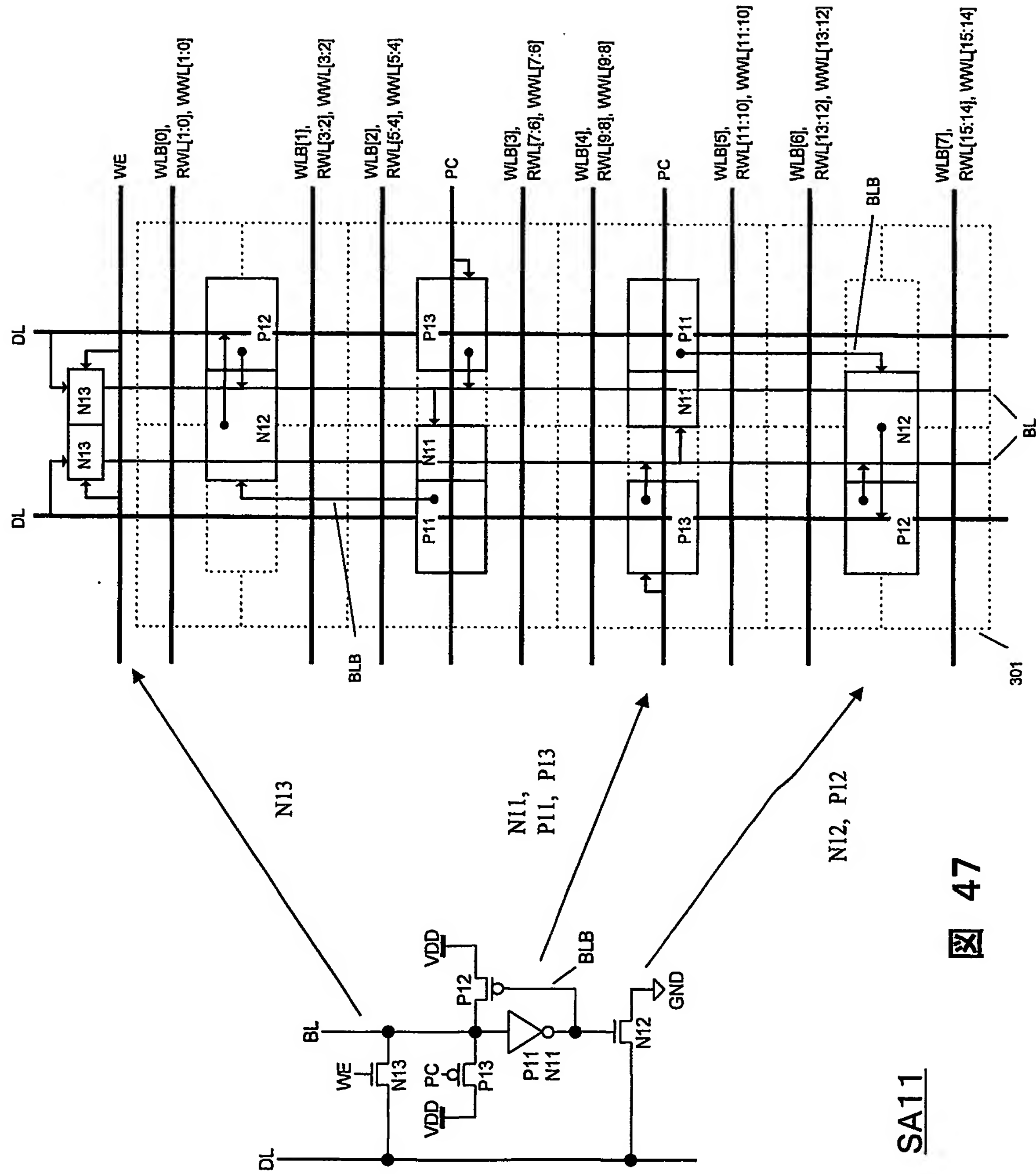
44



SA31

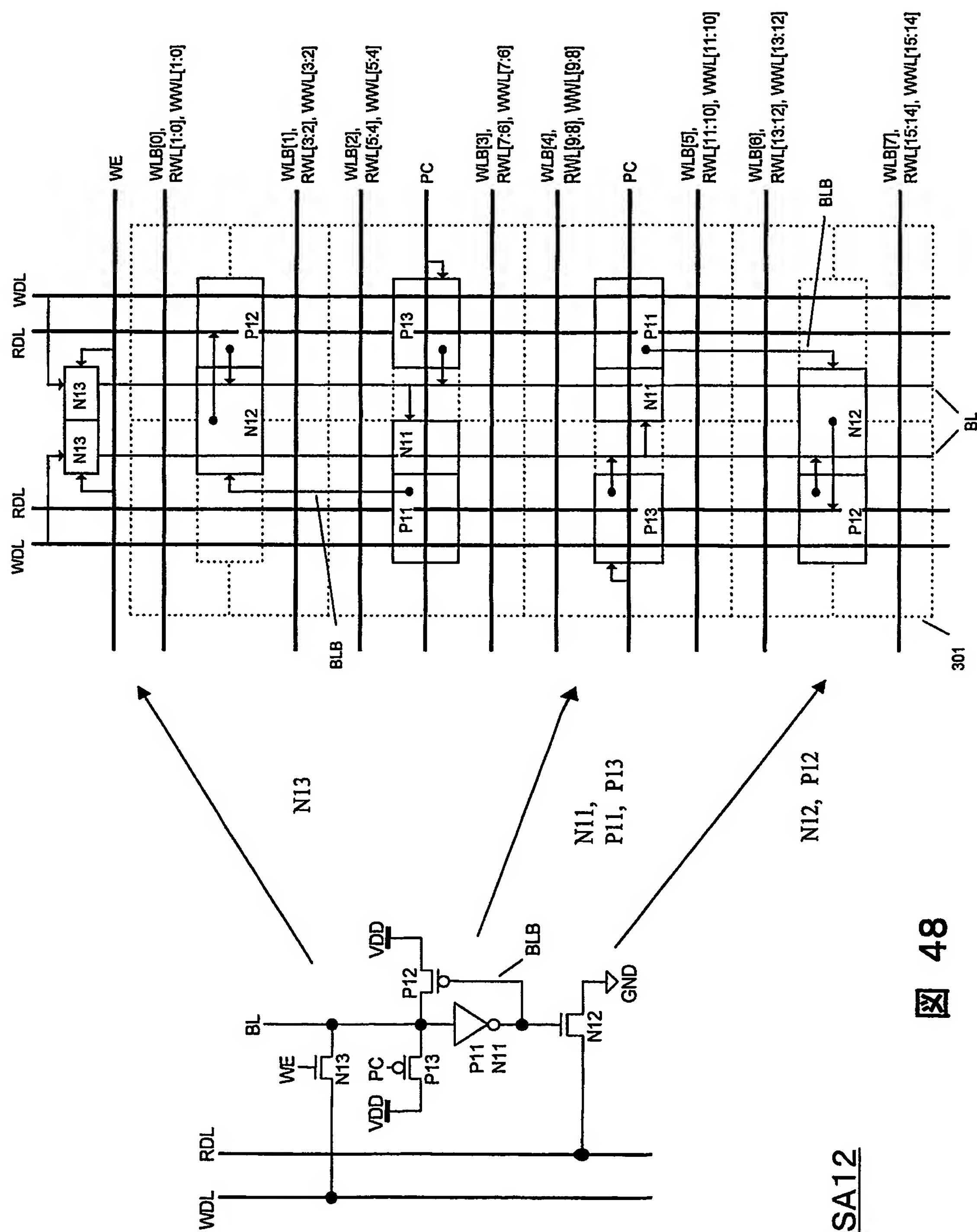
45

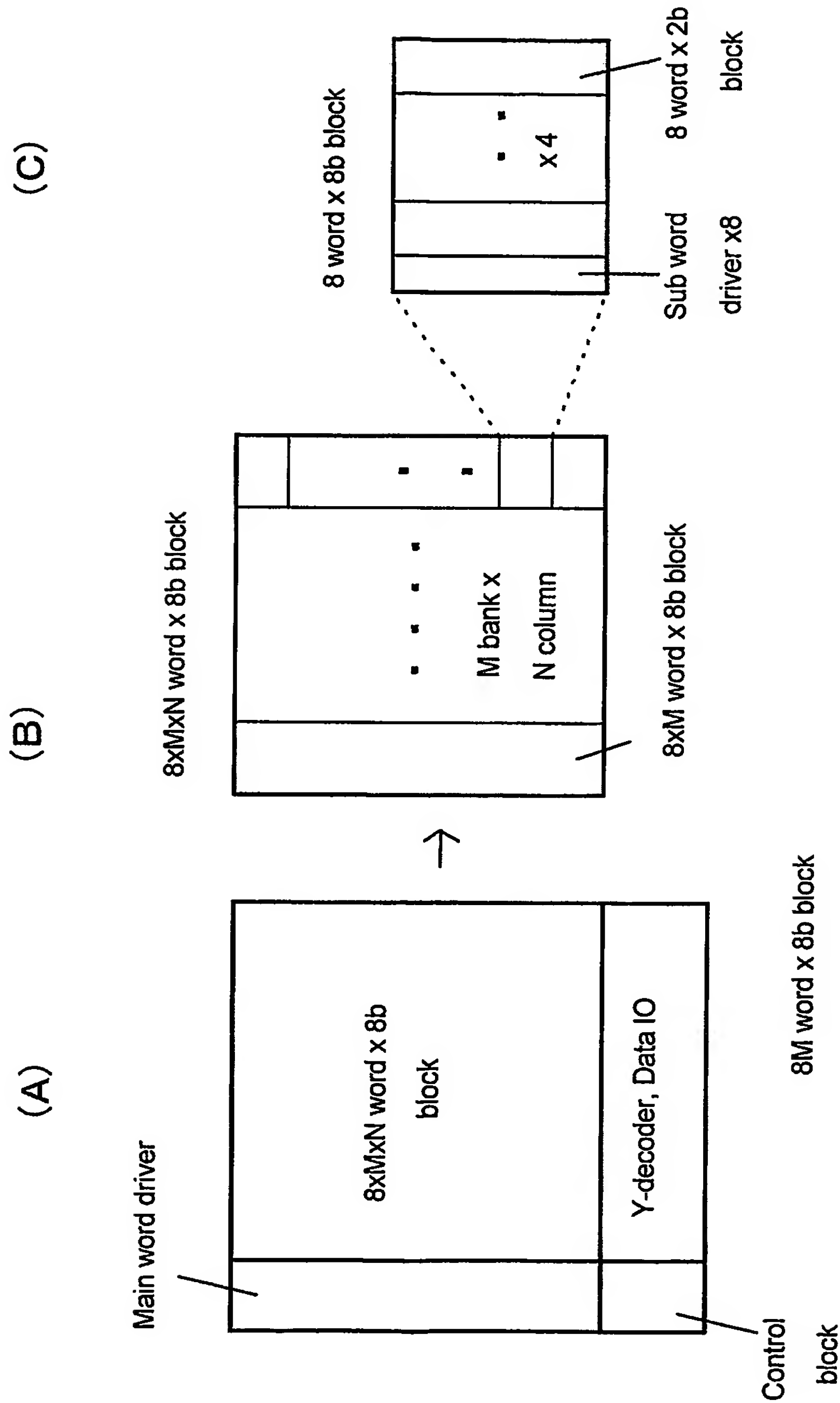




SA11

47





49

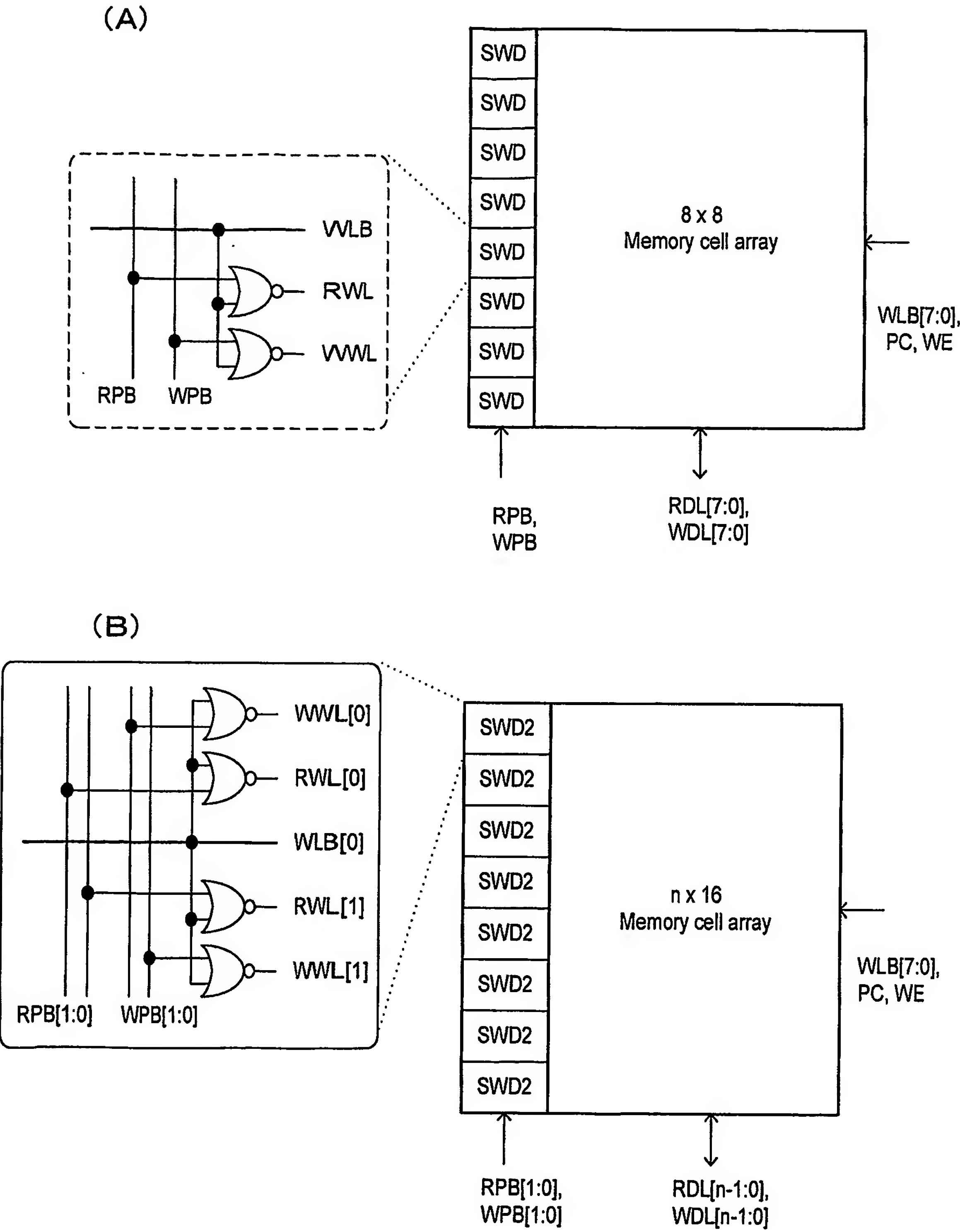


图 50

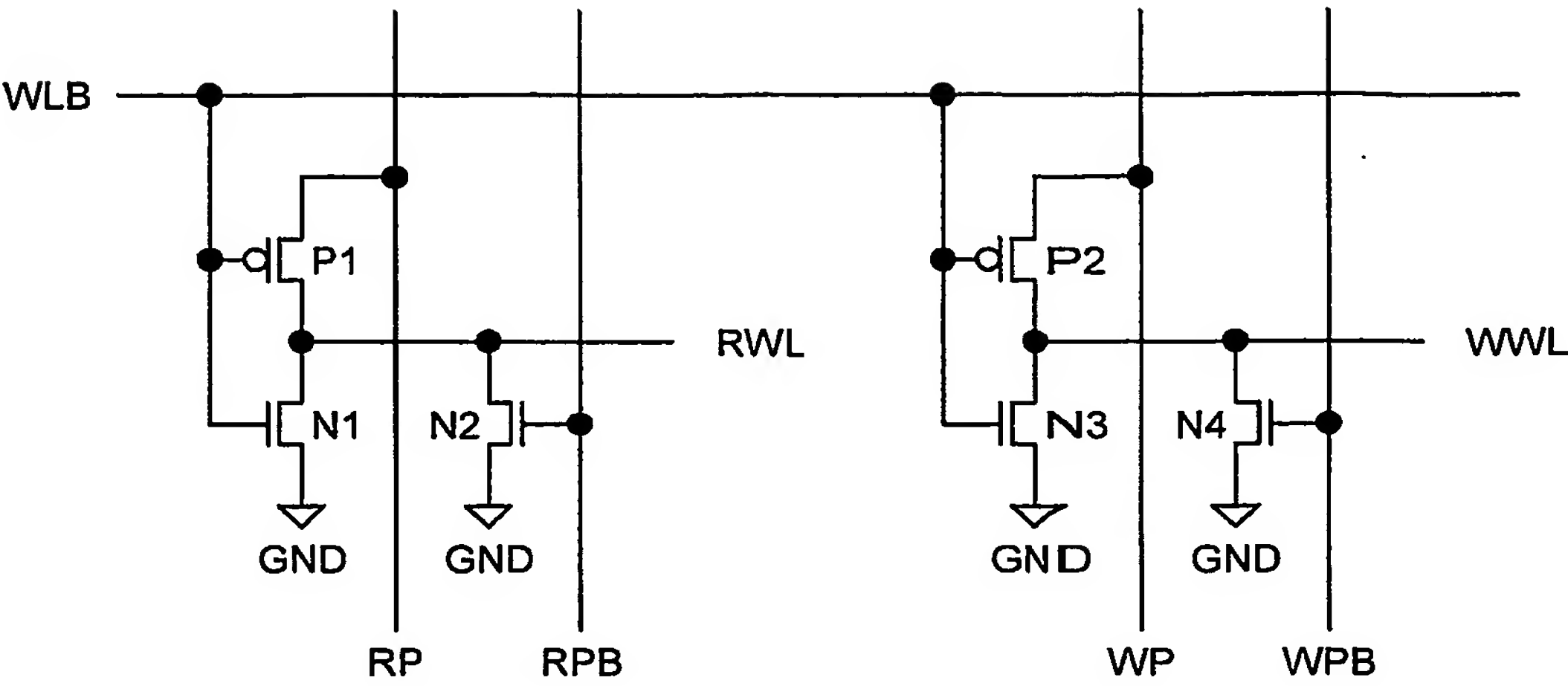


図 51

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/014035

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G11C11/41, H01L27/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G11C11/41, H01L27/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 10-188570 A (International Business Machines Corp.); 21 July, 1998 (21.07.98), Figs. 1, 9 & US 5831896 A	1, 4 2, 3, 30-41 42, 43
X Y A	JP 7-230692 A (Fujitsu Ltd.), 29 August, 1995 (29.08.95), Fig. 8 (Family: none)	5-7, 15 2, 3, 8-14, 16-19, 30-41 25, 43
Y	JP 4-85789 A (NEC Corp.), 18 March, 1992 (18.03.92), Fig. 1 (Family: none)	8-16, 36-39

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 January, 2005 (05.01.05)

Date of mailing of the international search report
25 January, 2005 (25.01.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/014035

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 61-188795 A (N.V. Philips' Gloeilampenfabrieken), 22 August, 1986 (22.08.86), Full text; all drawings & EP 116119 A & US 4723229 A	17-19, 40, 41
X	JP 11-17025 A (Toshiba Corp.),	20
Y	22 January, 1999 (22.01.99),	23
A	Fig. 4 (Family: none)	21, 22, 24-29, 42, 43
Y	JP 61-26997 A (Toshiba Corp.),	23
A	06 February, 1986 (06.02.86), Fig. 4 (Family: none)	24-29

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G11C11/41, H01L27/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G11C11/41, H01L27/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国実用新案登録公報 1996-2004年

日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 10-188570 A (インターナショナル・ビジネス・マシーンズ・コーポレーション) 1998. 07. 21, 図1, 図9 & US 5831896 A	1, 4 2, 3, 30-41 42, 43
X Y A	JP 7-230692 A (富士通株式会社) 1995. 08. 29, 図8 (ファミリーなし)	5-7, 15 2, 3, 8-14, 16-19, 30-41 25, 43

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

05. 01. 2005

国際調査報告の発送日

25. 1. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

加藤 俊哉

5N

9554

電話番号 03-3581-1101 内線 3546

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 4-85789 A (日本電気株式会社) 1992. 03. 18, 図1 (ファミリーなし)	8-16, 36-39
Y	JP 61-188795 A (エヌ・ベー・フィリップス・フルーイランベン ファブリケン) 1986. 08. 22, 全文, 全図 & EP 116119 A & US 4723229 A	17-19, 40, 41
X Y A	JP 11-17025 A (株式会社東芝) 1999. 01. 22, 図4 (ファミリーなし)	20 23 21, 22, 24-29, 42, 43
Y A	JP 61-26997 A (株式会社東芝) 1986. 02. 06, 図4 (ファミリーなし)	23 24-29

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☒ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.